



TITLE:

# 高信頼性強誘電体集積メモリ (FeRAM)技術のためのPZT薄膜物性 制御に関する研究( Dissertation\_全 文)

AUTHOR(S):

井上, 尚也

---

CITATION:

井上, 尚也. 高信頼性強誘電体集積メモリ(FeRAM)技術のためのPZT薄膜物性制御に関する研究. 京都大学, 2003, 博士(工学)

ISSUE DATE:

2003-03-24

URL:

<https://doi.org/10.14989/doctor.r11218>

RIGHT:

高信頼性強誘電体集積メモリ  
(FeRAM) 技術のための  
PZT 薄膜物性制御に関する研究

井上 尚也



# 概要

本論文は、FeRAM の信頼性を向上させることを目的として、PZT ( $\text{Pb}(\text{Zr,Ti})\text{O}_3$ ) 系の強誘電体材料および容量形成プロセスの検討を行った結果をまとめたものである。

FeRAM 容量の高性能化には、強誘電体材料の改良や最適化が重要であるが、電極材料の選定も重要な要素である。本研究では、まず、高信頼性 FeRAM 容量の電極として用いるために、Ir/IrO<sub>2</sub> 積層上部電極膜形成プロセスの検討を行った。具体的には、IrO<sub>x</sub> 薄膜のスパッタ堆積機構の解明を行い、高効率（スループット）かつ低ダメージな上部電極プロセスを実現した。Ar/O<sub>2</sub> ガスで Ir ターゲットをスパッタする場合、ターゲット表面で Ir と酸素との化合反応は全く生じず、ターゲットの表面状態は安定した金属状態であることが分かった。低パワーで成膜すると、基板に到達する O/Ir 供給比が相対的に大きくなり、基板上で十分な化合反応が起こって IrO<sub>2</sub> が得られる。一方、同じ Ar/O<sub>2</sub> ガス流量の条件で、高パワーで成膜した場合には、Ir が供給過剰のため化合反応が十分に起こらず、酸素を含有した Ir 金属相 (Ir(O)) となる。このことを利用して、Ar/O<sub>2</sub> 導入量を固定し、初期に低パワーで酸化物相である IrO<sub>2</sub> を成膜し、続けて高パワーで Ir(O) を成膜することで、上部電極積層膜 (Ir(O)/IrO<sub>2</sub>) を形成することに成功した。また、高温・低酸素分圧下で、上部電極を成膜すると、PZT 表面に還元性のダメージが導入され、分極特性が劣化することが明らかとなった。

次に、高温プロセスによるスパッタ PZT 成膜と、FeRAM の初期動作の安定性を向上させるための物性制御を行った。550 °C 以上の基板温度でスパッタを行うと、蒸気圧の高い Pb が基板から再蒸発し、化学量論組成から崩れるために、強誘電性を有するペロブスカイト相に結晶化しない。しかし、500 °C 以下では、ペロブスカイト相の結晶化に十分なエネルギーが供給されないため、準安定相である、常誘電性のパイロクロア相となる。そこで、スパッタ時の基板温度を Pb が欠損しない 500 °C 以下とし、常圧の酸素アニールによってペロブスカイト相に転移させるプロセスの検討を行った。As-deposited で得られるパイロクロア相から、ペロブスカイト相へ転移する場合、酸素八面体が保存された状態で転移することが分かった。500 °C 前後でスパッタ成膜したパイロクロア膜は、(222)配向度が高く、熱処理によって、分極軸方向である {100}配向を示すペロブスカイト相に転移する。この場合の膜表面は平坦で、リーク電流レベルは  $10^{-6} \text{ A/cm}^2$ 、 $2P_r=25 \mu\text{C/cm}^2$  と、良好な容量特性が得られた。

FeRAM の初期特性を安定化させるためには、ビット線容量、強誘電体容量の面積、駆動電圧などの回路パラメータに見合った特性を有する強誘電体容量を選定する必要がある。FeRAM セルでは、不揮発で保持しているデータを読み出す際に検出されるビット線電圧のマージン  $\Delta V_B$  が、広くなるほど安定である。このためには、ヒステリシスにおける、抗電圧  $V_c$  が小さく、反転/非反転の誘電率比 ( $\epsilon_S/\epsilon_N$ ) が大きくなればよいことが分かった。PZT の場合には、B サイトの組成比を変化させることで、強誘電特性が変化し、B サイトにおける Ti の比率を増加させると、 $V_c$ 、 $\epsilon_S/\epsilon_N$  とともに単調増加することが分かった。そこで、目的とする FeRAM の回路パラメータも含めて、組成の最適化を行った。その結果、Zr/Ti=30/70 とすることで、2.5 ~ 5V の広い範囲で  $\Delta V_B$  が最大となることが分かった。

続いて、強誘電体容量の特徴の一つであるインプリント特性が、FeRAM の動作に及ぼす影響をモデル化し、FeRAM の信頼性評価法を提案した。インプリントは、長期間の分極保持によって、保持している分極の極性が安定化する現象であり、ヒステリシスの電圧軸方向へのシフトとなって表れる。そこで、ヒステリシス形状、シフトレートなどを半経験的な関数式で表し、長期間のデータ保持による非線形なビット線電圧の変動を見積もる手法を提案した。まずは、非線形なヒステリシスループを定式化し、インプリントによるヒステリシスのシフトレートをデータ保持時間の関数で表した。しかし、ヒステリシスシフトのみを考えてビット線電圧の変動を予測すると、実験結果との不一致が見られた。この不一致の原因は、「分極緩和」と呼ばれる現象であることが分かり、分極緩和も半経験的にモデル化することに成功した。以上の各モデルは、全て実際の容量を用いて評価した結果をもとに、フィッティングによってパラメータを決定する半経験的な手法である。したがって、強誘電体容量の特性に応じて、FeRAM の信頼性予測を正確に行うことが可能となる。以上の各モデルを組み合わせることで、データ保持時間に対して非線形に変化する $\Delta V_B$ の変動を予測し、FeRAM の寿命予測が行えることを示した。PZT 容量の A サイト組成を変化させ、前述の手法を用いてインプリント寿命予測を行った。その結果、A サイト組成として Pb/La=1.00/0.03 の PLZT を用いることで、150℃ で 10 年以上のインプリント耐性を実現できることが分かった。

ここまでで得られた結果に基づき、Pb/La/Zr/Ti=1.00/0.03/0.30/0.70 の組成の PZT を用いて、FeRAM マクロチップの試作を行った。二層配線の 16kbit-FeRAM のインテグレーションを行い、その FeRAM 動作を確認した。PZT 容量は、配線工程を経ることで、強誘電性が劣化することが明らかになった。また、NMOS の駆動電流の低下や、コンタクトやビア抵抗が高抵抗化するという問題も浮き彫りになった。

FeRAM インテグレーション時に問題となった、容量特性の劣化は、容量形成プロセスを配線形成後に行うことで抑えることが可能となる。しかし、この場合には、下層に存在する配線に対するダメージを抑制する PZT 容量形成プロセスを実現する必要がある。そこで、PZT 容量の低温形成技術の検討を行った。PZT 結晶化過程における酸素の存在が、常誘電性のパイロクロア相を安定化し、ペロブスカイト相への結晶化を抑制することが分かった。この知見をもとに、RF スパッタプロセスから酸素を完全に排除することで、ペロブスカイト膜の成膜温度が低温化することを示した。さらに、下部電極として酸素含有 Ir (Ir(O)) を採用することで、475℃、3 分間の熱負荷プロセスによって、強誘電性ヒステリシスを確認し、多層配線上に PZT 容量を形成することに成功した。

# 謝辞

本論文をまとめるに当たって、終始懇切かつご丁寧なご指導をいただき、数多くの貴重なご助言を賜りました、京都大学大学院工学研究科電子物性工学専攻の松波弘之教授に心から感謝の意を表します。同 電子物性工学専攻の松重和実教授、鈴木実教授には、多くの貴重なご助言、ご指導をいただき、深く感謝いたします。また、発表会の準備等でお世話になりました、同 電子物性工学専攻 松波研究室の各位に心より御礼を申し上げます。

本研究は、筆者が 1996 年から 2002 年にかけて、NEC シリコンシステム研究所（旧 マイクロエレクトロニクス研究所）において行った、強誘電体容量形成プロセス並びに PZT 膜の物性制御に関して、FeRAM へ応用する視点に立って研究を行った成果をまとめたものであります。本研究の機会を与えていただくとともに、常日頃から暖かくご支援、ご指導いただきました、日本電気株式会社（以下、NEC と表記）旧マイクロエレクトロニクス研究所 阿部浩之元所長、NEC ラボラトリーズ 福岡雅夫支配人、シリコンシステム研究所 大屋秀市所長、研究企画部 國尾武光事業部長、基礎研究所 馬場寿夫研究部長、シリコンシステム研究所 最上徹研究部長、望月康則研究部長、山品正勝研究部長、NEC エレクトロニクス株式会社 先端プロセス事業部 中村邦雄事業部長、田代勉グループマネージャー、豊島秀雄プロジェクトマネージャーに、心から感謝いたします。

NEC シリコンシステム研究所の林喜宏主任研究員には、本研究の全期間に渡って、実務面での貴重なご助言、懇切丁寧なご指導をいただきました。ここに、深く感謝申し上げます。NEC 社内における FeRAM 関連の各種プロジェクトにおきまして、常日頃より惜しめないご討論をしていただき、貴重なご助言を賜りました、NEC シリコンシステム研究所 波田博光主任研究員、辰巳徹主席研究員、加藤有光主任、伊藤仁彦主任、研究企画部 小山健一エキスパート、NEC エレクトロニクス株式会社 先端プロセス事業部 高橋誠一シニアプロセスエンジニア、竹村浩一シニアプロセスエンジニア、前島幸彦シニアプロセスエンジニア、森秀光主任、田辺伸広主任、長谷卓主任、奈倉健氏、清家綾氏、科学技術振興事業団 宮坂洋一技術参事、株式会社半導体先端テクノロジーズ 笠井直記主任研究員、NEC ソリューションズ e-ガバメントソリューション推進本部 天沼一志主任、NEC 東芝スペースシステム株式会社 小林壮太主任、NEC ネットワークス 企業通信システム事業部 小野泰弘氏に深く感謝の意を表します。

本実験で活用いたしました、マルチチャンバスパッタシステムは、現在 NEC エレクトロニクス株式会社 先端プロセス事業部にご所属の松木武雄主任の手によって当研究所に導入されました。ここに感謝の意を表します。高圧酸素アニール、並びに高温 XRD 測定に多大なご協力をいただきました、NEC 基礎研究所の島川祐一主任研究員に心より感謝いたします。断面 TEM 観察に多大なご協力いただきました、NEC シリコンシステム研究所 五十嵐信行主任研究員、戸田昭夫主任に深く感謝いたします。FeRAM 回路設計にご尽力いただき、メモリ動作のテストにもご協力をいただきました、

NEC エレクトロニクス株式会社 第二開発事業本部の小池洋起シニアデザインエンジニア、山田淳一主任、サンディスク株式会社の三輪達氏に心より感謝いたします。強誘電体容量並びに FeRAM の試作に、多大なご協力をいただきました、NEC R&D サポートセンター 竹内常雄氏、五十嵐忠二氏、広田高明氏、斎藤忍氏に深く感謝いたします。

紙面の関係で割愛させていただきましたが、本研究は、以上の方々の他にも、多くの方のご協力とご支援の下に遂行されました。ここに改めて、これらの方々に心から厚く御礼を申し上げます。

# 目次

概要	i
謝辞	iii
第 1 章	序論..... 1
1.1	序 ..... 1
1.2	強誘電体メモリセル構造と動作原理 ..... 3
1.2.1	強誘電体メモリのセル構造 ..... 3
1.2.2	DRAM 型強誘電体メモリセルの動作原理 ..... 6
1.2.3	2 トランジスタ/2 キャパシタセルの読み出し動作 ..... 8
1.3	FeRAM に用いる強誘電体材料と成膜プロセス ..... 10
1.4	本研究の目的と論文の構成 ..... 13
	参考文献 ..... 17
第 2 章	スパッタ装置の構成と強誘電体容量の評価法..... 21
2.1	強誘電体容量スパッタ装置 ..... 21
2.1.1	スパッタ装置の構成 ..... 21
2.1.2	RF スパッタにおける基板温度の精密制御 ..... 23
2.2	強誘電体膜及び容量の評価方法 ..... 26
	参考文献 ..... 33
第 3 章	Ir-IrO <sub>2</sub> 系電極のスパッタ堆積機構と薄膜物性 ..... 35
3.1	強誘電体容量の電極材料..... 35
3.1.1	強誘電体容量の電極に要求される性質 ..... 35
3.1.2	Ir および IrO <sub>2</sub> 膜の性質 ..... 36
3.2	実験 ..... 37
3.3	Ir-IrO <sub>2</sub> 系のスパッタリング成膜 ..... 38
3.3.1	Ir-IrO <sub>2</sub> 系スパッタの基礎特性 ..... 38
3.3.2	Ir-IrO <sub>2</sub> 系薄膜のスパッタ堆積機構 ..... 42
3.3.3	Ir、Ir(O)、IrO <sub>2</sub> 膜の特徴 ..... 45
3.4	PZT 容量の上部電極用 Ir/IrO <sub>2</sub> 積層膜プロセス ..... 48
3.4.1	パワースィングスパッタ法 ..... 48



3.4.2	上部電極コンタクト抵抗 .....	49
3.4.3	上部電極スパッタプロセスの低ダメージ化 .....	50
3.5	本章のまとめ .....	52
	参考文献 .....	54
<b>第 4 章</b>	<b>FeRAM 安定動作のための PZT 膜物性制御 .....</b>	<b>57</b>
4.1	PZT のスパッタ成膜の概要 .....	57
4.2	実験 .....	59
4.3	相転移アニールによる PZT 膜の配向性制御 .....	60
4.3.1	PZT 膜組成及び構造の成膜温度依存性 .....	60
4.3.2	PZT 膜における Topotaxial 相転移 .....	64
4.3.3	スパッタ PZT 容量の電気特性 .....	68
4.4	PZT 膜物性制御による FeRAM 特性の向上 .....	70
4.4.1	強誘電体容量の特性と FeRAM 動作特性の相関 .....	70
4.4.2	PZT 容量特性の B サイト組成依存性 .....	72
4.4.3	FeRAM の安定動作を実現する B サイト組成の選定 .....	75
4.4.4	エージング特性の B サイト組成依存性 .....	78
4.4.5	PZT 膜厚制御による FeRAM 動作特性の制御 .....	79
4.5	単層配線形成後の微細容量の特性 .....	81
4.6	本章のまとめ .....	83
	参考文献 .....	86
<b>第 5 章</b>	<b>インプリント現象のモデル化と FeRAM の信頼性向上 .....</b>	<b>87</b>
5.1	強誘電体のエージング特性と FeRAM の信頼性 .....	87
5.2	実験 .....	89
5.3	非線形性を考慮したインプリント不良の予測モデル .....	90
5.3.1	インプリントによる FeRAM の故障モード .....	90
5.3.2	ヒステリシスシフトのモデル化による 2T2C-FeRAM の信頼性予測 .....	91
5.3.3	分極緩和の効果を取り込んだインプリント不良予測モデル .....	96
5.4	A サイト組成制御による信頼性向上 .....	99
5.4.1	容量の初期特性の A サイト組成依存性 .....	99
5.4.2	エージング特性の A サイト組成依存性 .....	101
5.5	0.8 $\mu$ m ルール-2 層配線 FeRAM への応用 .....	103
5.5.1	試作プロセス .....	103
5.5.2	PLZT 容量特性のプロセス起因劣化と微細容量特性 .....	108
5.5.3	トランジスタ特性 .....	113

5.5.4	コンタクト抵抗とビア抵抗.....	114
5.5.5	16kbit-FeRAM の動作マージン.....	116
5.6	本章のまとめ.....	117
	参考文献.....	119
<b>第 6 章</b>	<b>PZT 成膜の低温化と多層配線上の容量形成 .....</b>	<b>121</b>
6.1	低温 PZT 容量プロセスの必要性 .....	121
6.2	実験 .....	123
6.3	相転移プロセスにおける低温化の検討 .....	124
6.3.1	相転移温度の PZT 組成依存性.....	124
6.3.2	相転移アニール雰囲気制御 .....	126
6.4	プロセス制御によるペロブスカイト PZT の低温形成 .....	128
6.4.1	PZT スパッタ雰囲気制御.....	128
6.4.2	下部電極スパッタプロセスの制御 .....	129
6.4.3	ターゲットの A サイト組成制御.....	132
6.5	0.35 $\mu$ m ルール多層配線上への強誘電体容量の試作.....	137
6.5.1	試作プロセス .....	137
6.5.2	コンタクトおよび配線の特性.....	140
6.5.3	プラグ上に形成された微細容量の特性 .....	142
6.6	本章のまとめ.....	143
	参考文献.....	145
<b>第 7 章</b>	<b>結論と今後の課題 .....</b>	<b>147</b>
7.1	本論文のまとめ .....	147
7.2	今後の課題 .....	149
	参考文献.....	151
	<b>本研究に関する業績 .....</b>	<b>153</b>



# 第1章

## 序論

### 1.1 序

モバイルコンピュータや携帯電話などの携帯情報機器は著しく普及し、これらの端末で扱う情報量は増大し続けている。また、電子マネー、クレジットカード、鉄道の乗車券などは、セキュリティ性の高い IC チップを搭載したカードが実用化されつつある。これらの、モバイルや IC カードに搭載するメモリには、不揮発性や低消費電力が求められる。特に IC カード応用では、高機能のロジック回路と不揮発性メモリを混載する必要がある、プロセスの難度も高くなる。モバイル用途ではメモリ容量の大容量化も要求される。また、メモリセルの高密度化を実現することによって、チップコストを低減することも極めて重要な要素である。

表 1-1 に、既存のメモリと開発中の不揮発性メモリの特徴をまとめる。古くから、コンピュータのメインメモリ等に应用されている DRAM (Dynamic Random Access Memory) は、セル面積が小さく、比較的高速で読み書きが可能である。プロセスの習熟度も高く、最も大容量化が進んでいるメモリである。しかし、電源を断つと情報が失われてしまう、いわゆる揮発性メモリであるため、電源を持たない IC カードの情報記録には適用できない。また、データ保持時にリフレッシュ動作を必要とするため、待機時の消費電力も比較的大きくなる。コンピュータのキャッシュメモリ等に用いられている SRAM (Static Random Access Memory) は、消費電力や高速性に関しては DRAM より優れた製品が提供されているが、セル面積が大きく、コストが高くなる。SRAM も、電源オフ時にはデータの保持ができない揮発性メモリである。

不揮発性メモリとしては、フラッシュメモリや EEPROM といったフローティングゲート [1-3] を有するデバイスが製品化されている。これらのメモリは、書き込みに  $\mu\text{sec}$  オーダー、消去に msec オーダーの時間を必要とし、DRAM のサイクルタイムと比較すると 3 桁程度低速である。例えば、デジタルカメラのメディアへの記録にはある程度の時間待たされるのを体感できる。これらのデバイスは、絶縁膜を電荷が通過することで書き込みが行われており、絶縁膜の劣化を避けることができないため、書き換え耐性が  $10^6$  回程度に限定される。ただし、非破壊読み出しのため、読み出し回数は無制限である。フローティングゲートデバイスは、消去時に 10V 前後の高電圧を必要とするため、昇圧回路を必要とし、その分面積や消費電力が上乘せされる。しかし、1 トランジスタで 1 セルを構成できるフラッシュメモリ [4,5] では、セル面積が他のメモリよりも圧倒的に小さくできるため、ファイル用メモリカードとして広

く応用されている。EEPROM は、セル面積の点ではフラッシュには及ばない [6] が、ワード単位での消去が可能な不揮発性メモリとして実用化されている。

近年になって、新材料を導入する不揮発性メモリの研究・開発が活発に進められている。この中で、最初に実用化されたのが強誘電体メモリ (FeRAM; Ferroelectric Random Access Memory) [7,8]である。強誘電体メモリは、強誘電体の分極-電界ヒステリシス ( $P$ - $E$  ヒステリシス) 特性を活用した不揮発性メモリである。強誘電体特有の残留分極によって 2 値情報を保持し、抗電界以上の外部電界印加による分極反転を利用して書き換えを行う。次に、実用化に向けた研究が盛んに行われている不揮発性メモリは、MRAM (Magnetic RAM) と呼ばれる、磁性体を活用したメモリデバイスである。[9-11] 磁性体で薄いトンネル酸化膜を挟み込んだ TMR (Tunneling MagnetoResistance, もしくは MTJ; Magnetic Tunnel Junction) 素子を記憶素子として用いる。磁性体の磁化方向によって、トンネル抵抗が変化する磁気抵抗効果を用いて情報の保持と読み出しを行う。書き込みは、配線に電流を流すことで発生する磁場を利用する。現時点では、研究段階の新規不揮発性メモリとして、注目されているのが、相変化メモリ (OUM; Ovonic Unified Memory) である。[12] 光ディスクで用いられている相変化材料を、メモリ素子として用いる。この材料は、熱の加え方と冷却の仕方によって、非晶質状態と結晶状態を可逆的に制御することができる。非晶質相と結晶相で、膜の抵抗率が変化することを用いて読み出しを行う。書き込みは、相変化膜素子に直列に接続された抵抗体の発熱を用いる。

表 1-1 各種メモリの仕様。

	DRAM	SRAM	Flash	FeRAM	MRAM	OUM
Storage element	Capacitor	Flip flop (Transistor)	Floating gate	Ferroelectric capacitor	TMR (MTJ)	Phase-change film
Non-volatility	No	No	Yes	Yes	Yes	Yes
Endurance (write/read)	/	/	$10^6$ /	$10^{12}/10^{12}$	$10^{12}$ /	$10^{12}$ /
Direct over-write	Yes	Yes	No	Yes	Yes	Yes
Bit/Byte-write (erase)	Yes	Yes	No (Block)	Yes	Yes	Yes
Programming voltage	Low	Low	High	Low	Low	Low
write/read time	50ns/50ns	8ns/8ns	1 $\mu$ s/60ns	50ns/50ns	30ns/30ns	?
erase time	-	-	1-100ms	-	-	-
Cell size	Medium	Large	Small	Medium	?	?

-: Direct over-write 可能なため、消去動作不要。

?: 現状、パラメータが明確になっていない。

現在実用化されている強誘電体メモリは、DRAM とほぼ同一のセル構造を採り、セル容量を強誘電体容量に置き換えた構造である。強誘電体容量の分極反転時間は、周辺回路の充放電時間以下であるため[13]、DRAM と同等の 50nsec 程度の書き換え時間を実現できる。書き換え耐性は、材料や電極によって決定されるため、一概には言えないが、現状では  $10^{12}$  程度の書き換え耐性が報告されている。[14] 現在実用化されている強誘電体メモリは、破壊読み出し方式であるため、読み出し + 再書き込み動作もこの「書き換え」に含まれることに注意する必要がある。ただし、強誘電体メモリに関しては、次節で述べるような非破壊読み出しのデバイスも提案されている。動作電圧は、抗電界よりも高い電界が印加されればよく、現状の強誘電体材料では昇圧回路の必要はない。高密度化に関しては、原理上は DRAM と同程度まで可能である。DRAM と同程度のセルサイズと信頼性が確保できれば、低消費電力かつ不揮発性のメインメモリとしての応用も見えてくる。しかし、強誘電体材料という特殊な材料が有する固有の特徴と半導体プロセスとの整合性の観点から、理想的な高信頼性・高密度の強誘電体メモリの実用には到っていないのが現状である。

## 1.2 強誘電体メモリセル構造と動作原理

### 1.2.1 強誘電体メモリのセル構造

強誘電体メモリのセル構造としては、クロスポイントタイプ[15-17]、トランジスタタイプ[18-29]、DRAM タイプ[7,8,30-37]に大別される。本項では、各セル構造の特徴を述べる。

クロスポイントタイプは、図 1.1 に示すように、直交する配線の交点に強誘電体容量を配した構造である。メモリセルは、強誘電体容量素子 1 個で構成される。セル構造が極めて単純なため、高密度化の可能性を秘めている。しかし、選択されたセルの周囲の強誘電体容量にも電圧が印加されてしまう（ディスタ urb 現象）ため、動作の制御が難しく、実用化には到っていない。本タイプのメモリセルは、1bit 毎に 1 トランジスタを必要とするわけではないので、多層化することによる高密度化が達成できる。LSI メモリとして、クロスポイントタイプの強誘電体メモリが開発され始めたのはごく最近になってからであり[16,17]、解決すべき課題は多いが、実用化すれば大容量ファイルメモリとしての応用が期待される。

トランジスタタイプは、トランジスタのゲート部に強誘電体容量を配置した構成である。このタイプのメモリセルには、図 1.2 に示すような 3 種類の構造が提案されている。いずれの構造でも、分極の極性によって、トランジスタのオン時の伝導度が異なることを用いて読み出しを行う。読み出し時には、強誘電体膜の残留分極が変化しない条件でバイアスをかけるため、非破壊読み出しである。

(a)は、トランジスタのゲート酸化膜を強誘電体膜とした構造[18,19]で、MFS (Metal - Ferro. - Semiconductor) 構造と呼ばれる。この構造では、強誘電体とチャネル部が直接接しており、良好な界面特性を得るのが困難である [20,21] ことが大きな課題となっている。

(b)の MFIS (Metal - Ferro. - Insulator - Semiconductor) 構造 [22-24] は、強誘電体膜と界面を形成する絶縁体を独立に形成するため、MFS 構造では不可能であった界面特性の制御が可能とな

る。一般に、強誘電体は比誘電率が数百程度と高く、Si と良好な界面を形成する絶縁膜の誘電率より大幅に高くなる。強誘電体膜と絶縁膜は、直列接続となっているため、ゲートに印加した電圧は、容量値の小さな下層の絶縁膜に大きく分配される。したがって、強誘電体膜に十分な電界が印加されず、分極反転が困難となることが問題である。

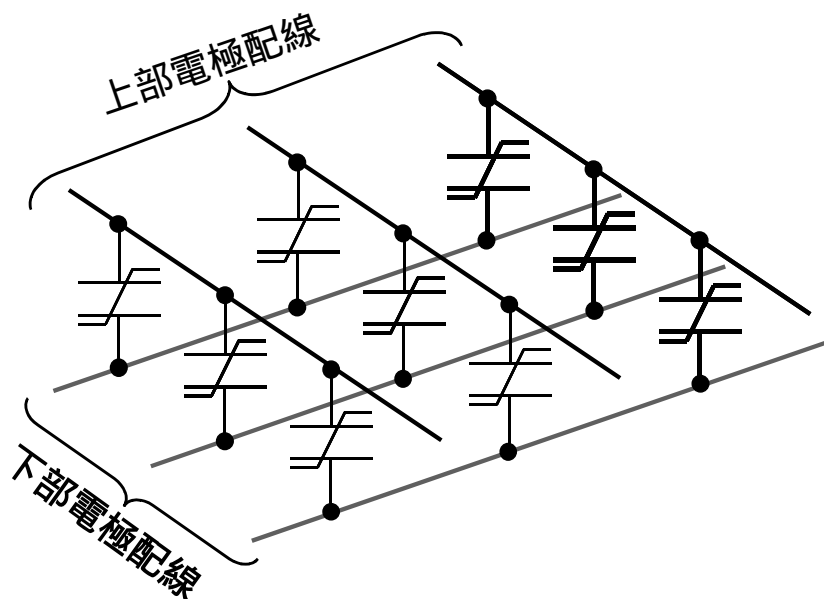


図 1.1 クロスポイント型セルアレイ.

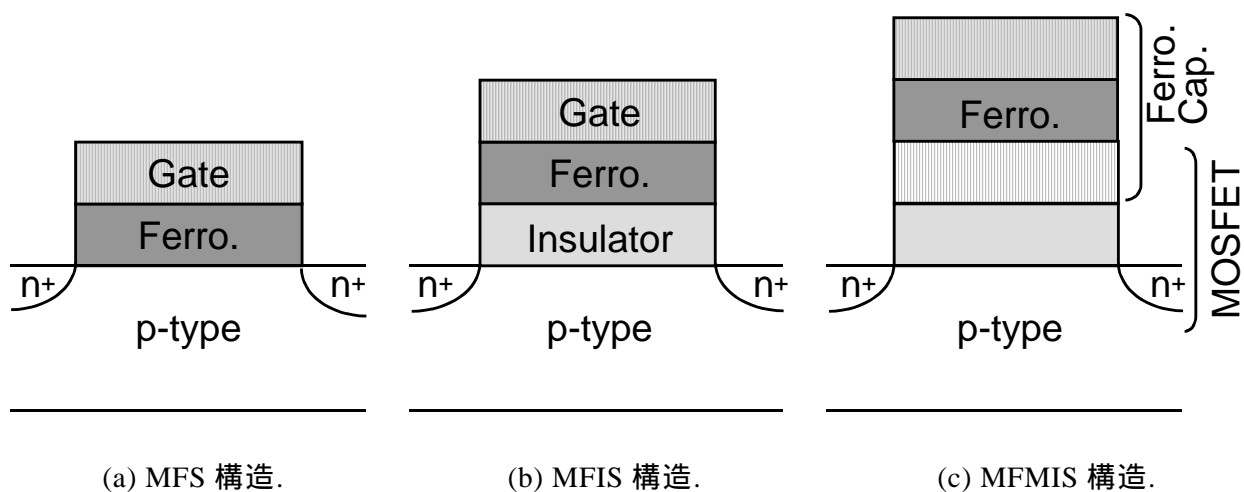


図 1.2 トランジスタ型セル構造.

(c)は、MFMS (Metal-Ferro.-Metal-Insulator- Semiconductor) 構造 [25,26] で、MOS トランジスタのゲート電極と強誘電体容量の下部電極を共通としたメモリセルである。この構造では、MOS トランジスタと強誘電体容量がゲート電極で分離されて形成されているため、プロセス上の難易度は低い。また、上部電極や強誘電体膜のサイズをゲート電極よりも小さくすることで、強誘電体容量の容量値を低減できる。したがって、MFIS で問題であった、強誘電体と絶縁体の容量比を調整でき、強誘電体に十分な電圧を印加することが可能となる。ただし、強誘電体容量よりもサイズの大きなゲート容量を形成する必要があるため、高密度化に限界がある。さらに、データ保持に関して、以下に述べる課題も残されている。データ保持状態では、ゲート電極（強誘電体容量の下部電極）に、電荷が保持されているため、常に残留分極を打ち消す電界が発生している。この電界と、強誘電体のリーク電流によって、残留分極が減少する。[27-29] これらの課題を解決するためには、誘電率やリーク電流をゲート酸化膜と同程度まで低減する強誘電体材料の開発が望まれる。

図 1.3に、DRAM タイプのセルアレイを示す。1 セルは、DRAM と同様に選択トランジスタと強誘電体容量から構成される。互いに直交するビット線 (BL) とプレート線 (PL) の交点に強誘電体容量が形成されている点では、クロスポイントタイプと同様である。しかし、ビット線と強誘電体容量の電極の間に、選択トランジスタが挟まれており、プレート線と並行しているワード線でオン / オフする。この構造では、選択されたセルにのみ電圧が印加される点がクロスポイントタイプと異なっており、ディスタープ耐性は高くなる。書き込み時には、電源電圧が十分に印加されて分極処理が施される点で、トランジスタタイプよりも有利である。読み出しは、DRAM と同様に、ビット線寄生容量との電圧分割を利用した破壊読み出しであり、読み出し後に再書き込みが必要である。したがって、強誘電体容量の分極反転回数は、読み出しと書き換えを合わせた回数となる。

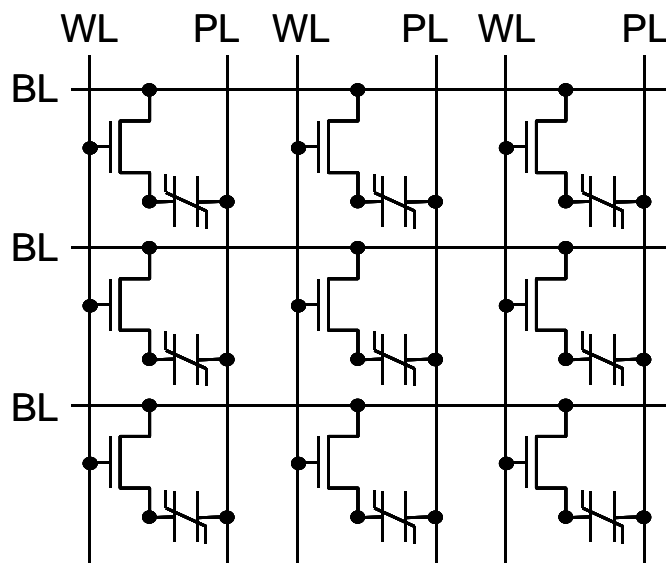


図 1.3 DRAM 型セルアレイ.



### 1.2.2 DRAM 型強誘電体メモリの動作原理

DRAM タイプの FeRAM は、ランダムアクセス、高速動作、低消費電力、不揮発性などの特徴を有しており、広範な応用が期待されている。本項では、この FeRAM の動作原理について述べる。

メモリセルへデータを書き込む場合は、図 1.3における選択トランジスタをオンし、ビット線とプレート線に 0V (GND) もしくは電源電圧  $V_{DD}$  を印加する。例えば、“1”を書き込む場合には、プレート線を GND とし、ビット線を  $V_{DD}$  とする。逆に、“0”を書き込む場合には、プレート線を  $V_{DD}$ 、ビット線を GND とする。プレート線側の電極に正電圧が印加される場合に発生する残留分極を正と考えると、“1”書き込みは負の残留分極、“0”書き込みは正の残留分極を発生させることになる。このように、データを書き込むときには、強誘電体容量の両端子間に、振幅  $V_{DD}$  のパルスが印加される。

データの読み出しは、図 1.4の等価回路で示される構成で行われる。読み出しに先立って、まずビット線が GND にプリチャージされる。選択トランジスタによって、残留分極を持つ強誘電体容量とビット線が接続され、プレート線に  $V_{DD}$  が印加される。プレート線に印加された  $V_{DD}$  は、強誘電体容量  $C_F$  とビット線寄生容量  $C_B$  で分割される。ここで、ビット線電位  $V_B$  がデータ判別のため、センスアンプに入力される。したがって、データの読み出し動作は、強誘電体容量の特性のみならず、ビット線容量等の回路パラメータの影響も受けることになる。

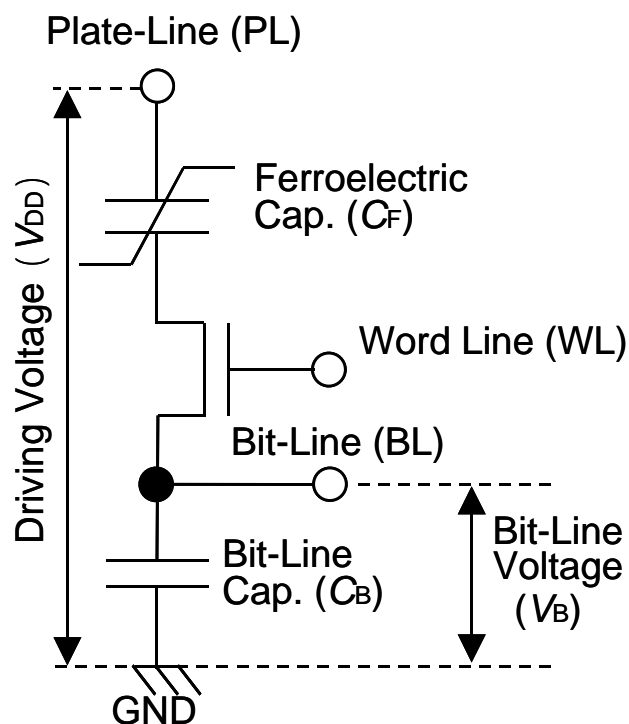
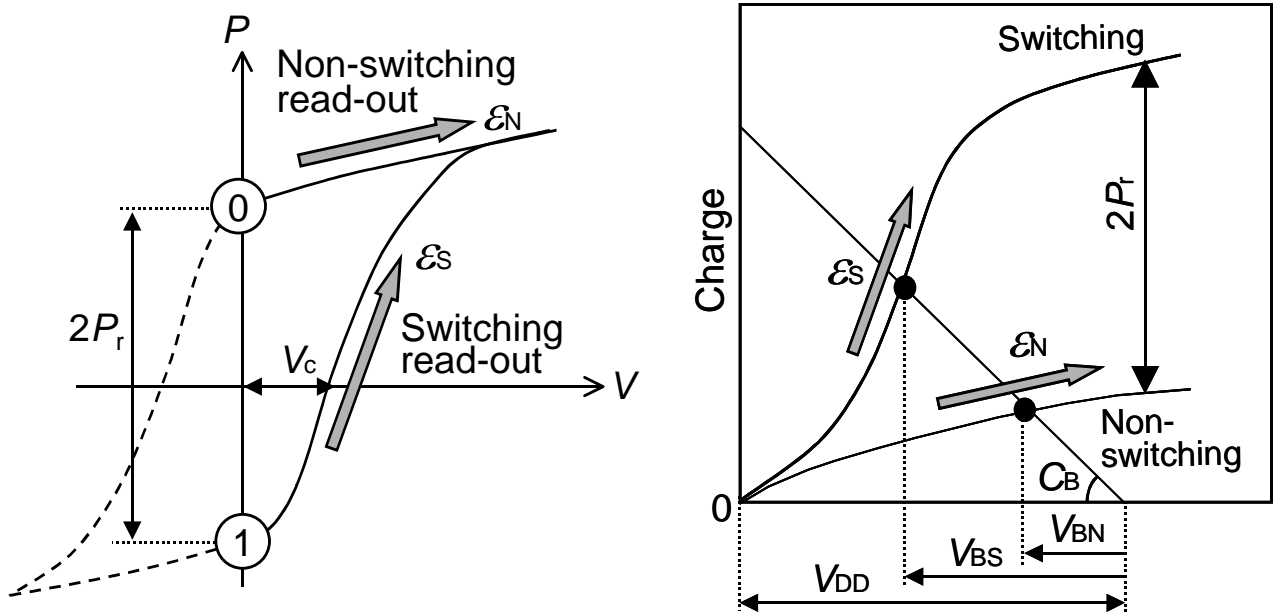


図 1.4 強誘電体メモリ読み出し時の等価回路。

図 1.5は、強誘電体のヒステリシス特性とその特性パラメータ、および強誘電体メモリセルにおける読み出し電圧の図式的解析法を紹介している。(a)は、強誘電体容量のヒステリシス特性であり、残留分極である正負の双安定点を2値情報として記録している。読み出し時には正の電圧  $V_{DD}$  を印加するため、書き込まれていた状態に依存して、実線で表されるいずれかのカーブをトレースすることになる。ここで、分極の極性が反転する”1”読み出しを反転読み出し (Switching read-out)、分極の極性が反転しない”0”読み出しを非反転読み出し (Non-switching read-out) という。強誘電体容量のキャパシタンスはヒステリシスカーブの微分 ( $dP/dV$ ) であるため、保持していた残留分極の極性によって、読み出し時のキャパシタンスは異なる。ここでは、それぞれのキャパシタンスを決定する値として、実効誘電率を定義する。反転読み出し時の実効誘電率  $\epsilon_S$  は、ヒステリシスの抗電圧  $V_c$  付近における傾きから得られ、非反転読み出し時の実効誘電率  $\epsilon_N$  は、ヒステリシスの飽和部分の傾きから得られる。

図 1.5(b)は、読み出し時にビット線に発生する電圧を見積もる解析法である。強誘電体容量は、前述したように、反転時と非反転時で、図に示すように異なる容量カーブを示す。一方、これと直列に接続されるビット線寄生容量は線形であるので、 $V_{DD}$  からビット線容量を傾きとする直線を引く。強誘電体容量カーブと、ビット線容量直線の交点が、読み出し時の安定点となり、それぞれの容量に分割される電圧が得られる。データ判別に用いるビット線電圧は、反転読み出し時は  $V_{BS}$ 、非反転読み出し時は  $V_{BN}$  となる。この方式の読み出しでは、図示したように、常に正の電圧を印加して読み出すため、読み出し終了後には、正の残留分極が残ることになる。したがって、破壊読み出しであり、元の状態に戻すために再書き込み (write back) が必要となる。



(a) 強誘電体ヒステリシスの特性パラメータ。

(b) FeRAM セルにおける読み出し電圧の解析。

図 1.5 強誘電体容量の特性パラメータと FeRAM 読み出し電圧の解析法。

メモリセルが 1 トランジスタ-1 キャパシタ (1T1C) 構成の場合には、反転読み出し時のビット線電圧  $V_{BS}$  と非反転読み出し時のビット線電圧  $V_{BN}$  の中間値を、参照電位  $V_{ref}$  としておく。すなわち、センスアンプの一方には  $V_{ref}$  を入力し、他方にビット線電圧  $V_B$  ( $V_{BS}$  もしくは  $V_{BN}$ ) を入力し、 $V_B$  と  $V_{ref}$  の値を比較してデータを弁別する。この手法では、全てのメモリセルについて、同じ参照電位を用いるため、容量特性のばらつきや経時変化によって、動作マージンが狭くなり、信頼性を確保するのが難しい。そこで、現状では、1 セルを 2 トランジスタ-2 キャパシタ (2T2C) 構成とし、相補的に書き込みを行うことで信頼性の向上を実現している。すなわち、読み出し時には、同一セル内の一方のビット線は  $V_{BS}$  となり、他方が  $V_{BN}$  となる。この 2 値をセンスアンプに入力することで、参照電位を用いずにデータの弁別が可能となり、マージンが事実上 2 倍となる。

### 1.2.3 2 トランジスタ/2 キャパシタセルの読み出し動作

図 1.6 は、動作安定性に優れた 2T2C タイプのメモリセルの構成と、センスアンプとの接続を示した図である。本研究では、このタイプの強誘電体メモリセルを前提とした解析を行っている。1 セルは、図 1.4 に示したトランジスタ-強誘電体容量のペア 2 組で構成される。2 つの強誘電体容量に、相補的に分極処理を施すことでデータの保持を行う。読み出し時には、プレート線 PL に正電圧を印加し、一方が反転読み出し、他方が非反転読み出しとなる。このときに発生する 2 つのビット線電圧が、差動型センスアンプに入力され、データ判別が行われる。このとき、センスアンプは図 1.5(b) における  $V_{BS}$  と  $V_{BN}$  の差を検出するため、その電位差  $\Delta V_B (=V_{BS}-V_{BN})$  が重要なパラメータとなる。

図 1.7 は、データ読み出しから再書き込みまでのタイミングチャートである。チャートに従って、データの読み出し手順を説明する。

読み出し準備としてビット線 BL を 0V (GND) にプリチャージする。

ワード線 WL を立ち上げて強誘電体容量とビット線を接続し、プレート線 PL に電源電圧  $V_{DD}$  を印加する。このとき、ビット線には、 $V_{BS}$  もしくは  $V_{BN}$  の電圧が発生する。(図 1.5 参照)

センスアンプ SAP を活性化し、ビット線電圧を 0V もしくは  $V_{DD}$  まで増幅する。ここで、I/O 回路にデータを出力する。この段階では、PL が  $V_{DD}$ 、非反転読み出し容量の BL が 0V となっているため、双方の容量に対して正書き込みが行われる。これは、非反転読み出し（正の残留分極によるデータ保持）を行った容量に対する再書き込み動作に相当する。一方、反転読み出し容量（負の残留分極によるデータ保持）に関しては、BL, PL とともに  $V_{DD}$  となっているため、正の残留分極が残された状態になっており、データが破壊されている。

PL を 0V に立ち下げる。反転読み出し容量の BL は、 $V_{DD}$  となっているため、負書き込みが行われ、反転読み出し容量（負の分極によるデータ保持）の再書き込みが完了する。このとき、非反転読み出し容量の BL, PL は、ともに 0V であるので、正の残留分極が残る。引き続いて、SAP をオフ、WL をオフし、保持動作に入る。

BL を GND とし、次の読み出し動作に備える。

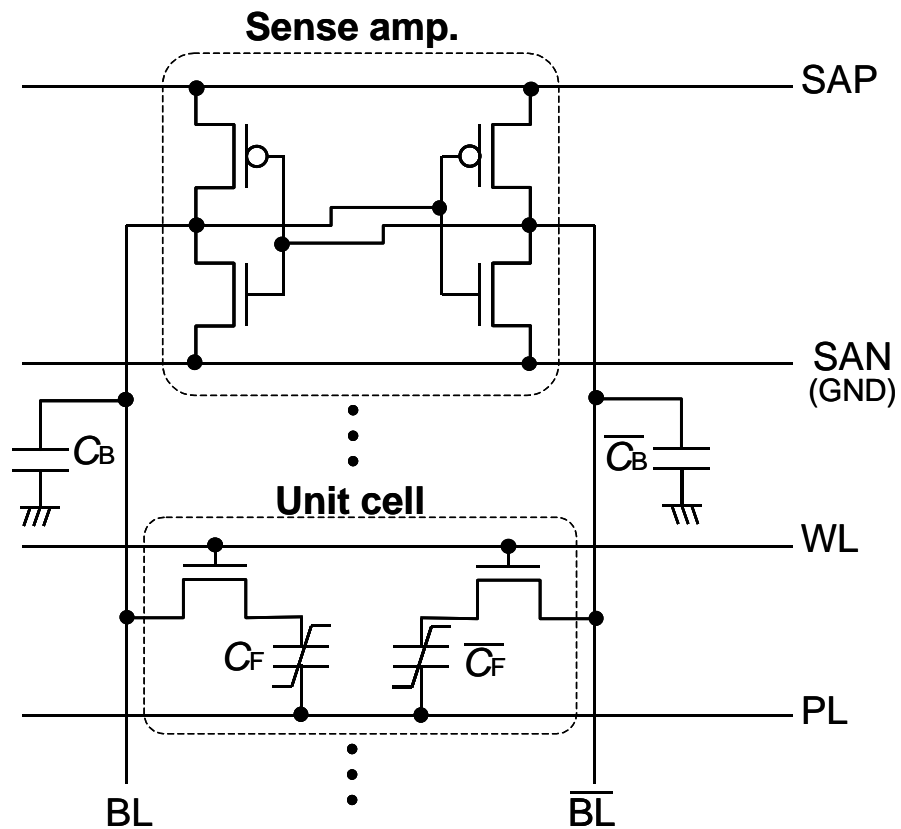


図 1.6 2T2C セルとセンスアンプの回路構成.

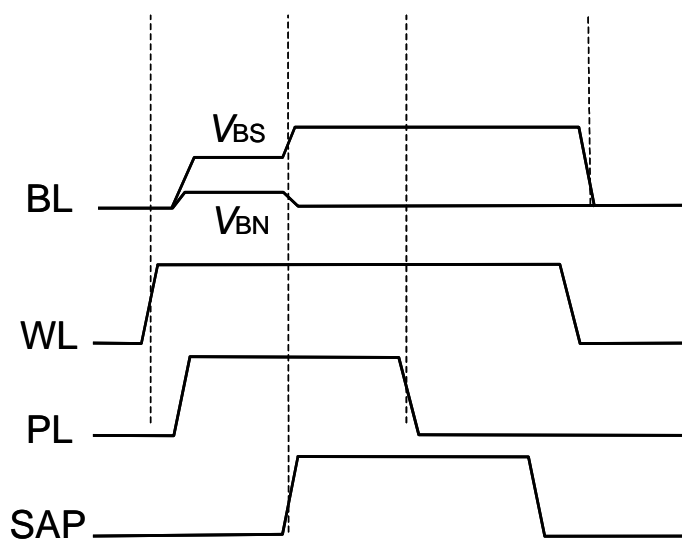


図 1.7 2T2C 強誘電体メモリセルの読み出しから再書き込みまでのタイミングチャート.

### 1.3 FeRAM に用いる強誘電体材料と成膜プロセス

FeRAM に適した強誘電体材料としては、電源電圧で十分に分極反転が可能で、2 値情報が安定に記憶される材料が望まれる。具体的には、抗電圧が電源電圧に対して十分に低く、残留分極が大きい方が良くとされている。このような観点から、材料はある程度絞られており、単純ペロブスカイト化合物である  $\text{PbZrTiO}_3$  (PZT) [7,30-33]や、Bi 層状ペロブスカイト化合物である  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT) [34-37]が検討されてきた。実際には、抗電圧と残留分極の 2 パラメータでは、FeRAM 動作を考慮するには不十分であることは本論文中で示していく。

LSI は、様々な機能を有するマクロを組み合わせることで、多機能な LSI を構築する。それぞれのマクロは、プロセスで決定されるトランジスタなどのパラメータをもとに設計される。このため、LSI プロセスを変更すると、膨大なマクロ資産の流用ができなくなり、全て一から設計しなければならない。したがって、強誘電体容量のプロセスに関しては、現状の LSI プロセスを、可能な限り変更しないように構築することが要求される。強誘電体容量を LSI に組み込む上で、最も注意しなければならないプロセスパラメータは、強誘電体容量形成時のプロセス温度である。すなわち、容量を形成する際に加わる熱負荷によって、容量形成前にでき上がっているトランジスタや、配線の変動させてはならない。以下では、材料面及びプロセス面から、PZT と SBT の特徴を紹介する。

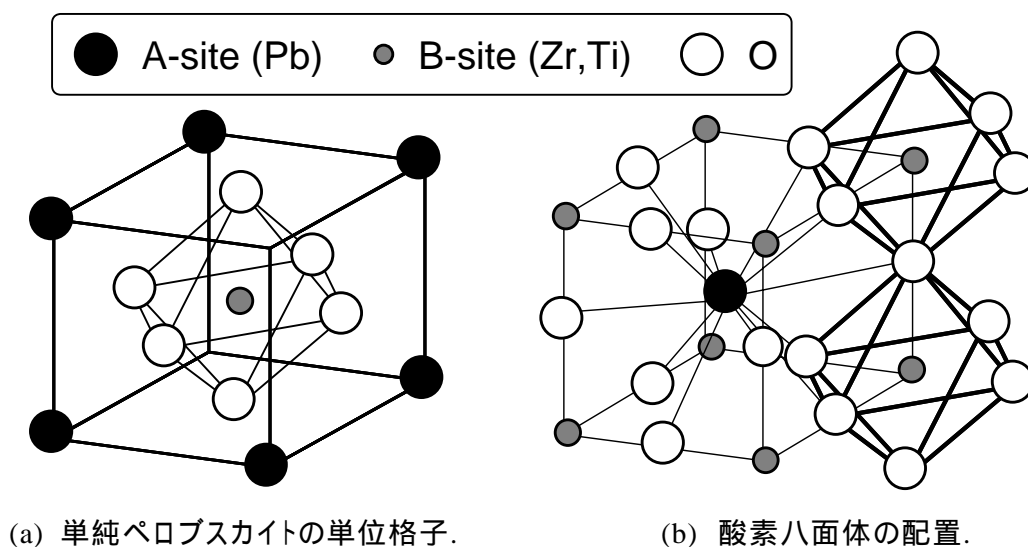


図 1.8 PZT の結晶格子.

PZT は、図 1.8(a)に示すように、化学式  $\text{ABO}_3$  で表記される単純ペロブスカイト構造である。単純ペロブスカイト構造では、イオン半径の大きな金属イオンが、単純立方格子の頂点 (A サイト) を占め、各面心に酸素イオンが配置され、体心位置 (B サイト) をイオン半径の小さな金属イオンが占める。PZT の場合は、 $\text{Pb}^{2+}$  が A サイト、 $\text{Zr}^{4+}$  および  $\text{Ti}^{4+}$  が B サイトを占め、面心に  $\text{O}^{2-}$  が存在している。実際には、

B サイトイオンが体心の位置から変位しており、格子の非対称性が見られる。強誘電性は、B サイトイオンと、酸素が構成する八面体の相対変位によって発現する。図 1.8(b)は、酸素八面体に着目した結晶格子図である。B サイトイオンを中心に配する酸素八面体の配列の隙間に、A サイトイオンが存在する構造が、ペロブスカイト構造の特徴である。

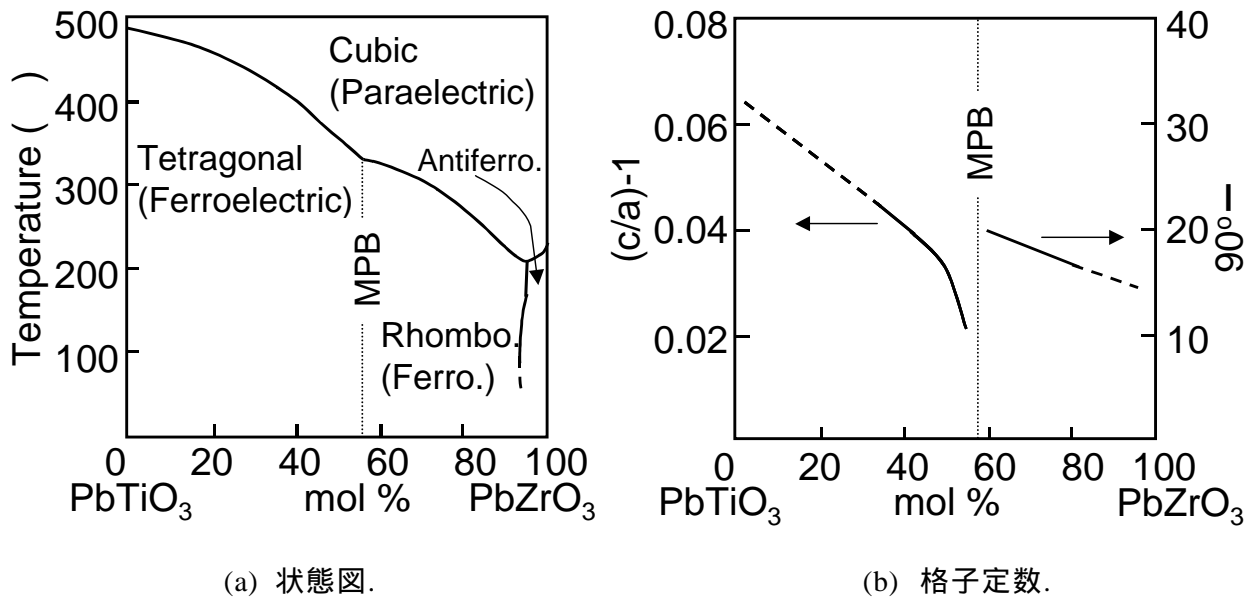


図 1.9 PZT の状態図と格子定数.

PZT は、強誘電体の  $\text{PbTiO}_3$  と反強誘電体の  $\text{PbZrO}_3$  の固溶体である。図 1.9に、PZT の状態図と格子定数を示す。[38]  $\text{Zr}/\text{Ti}=54/46$  付近を境に、 $\text{PbTiO}_3$  側では正方晶であり、 $\text{PbZrO}_3$  側では菱面体晶となる。PZT は、ほとんどの組成で強誘電体であり、キュリー点は、 $\text{PbTiO}_3$  の 490 から  $\text{PbZrO}_3$  の 230 まで、ほぼ連続的に変化する。結晶相が正方晶から菱面体晶に変化する組成を、MPB (Morphotropic Phase Boundary) と呼んでおり、この組成で誘電率がピーク (比誘電率: 約 1000) となることが知られている。

SBT は、図 1.10に示すような結晶構造を持つ Bi 層状酸化物である。Bi 層状酸化物は、 $(\text{Bi}_2\text{O}_2)^{2+}(\text{A}_{m-1}\text{B}_m\text{O}_{3m+1})^{2-}$  という化学式で表現され、 $\text{Bi}_2\text{O}_2$  層によって、 $m-1$  層の擬ペロブスカイト相が挟まれた形をしている。SBT の場合は、 $m=2$  に相当する。擬ペロブスカイト部分は、図 1.8(b)に示すようなペロブスカイト構造が組み込まれており、酸素八面体の変位が強誘電性に寄与している。ただし、Bi 層状ペロブスカイト構造においては、八面体の  $c$  軸に対するチルトと、 $a-b$  面内における回転が残留分極を発生させる起源であると言われている。[39] SBT は、一般的な PZT よりも抗電圧や誘電率が低いという特徴を有するため、低電圧での安定動作が期待される。また、残留分極の発生機構が PZT とは異なっており、分極スイッチングの反復による疲労に対する耐性が高いという特徴も持って

いる。しかし、SBT は、結晶化に 700 ~ 800 の高温アニールを要する。強誘電体容量形成プロセスは、トランジスタ形成後に行われるため、高温プロセスによって、シリサイドの変質や不純物分布の変動が生じ、トランジスタ特性の信頼性確保が難しくなる。この問題は、世代が進んで微細化を推し進めると、さらに深刻になる。また、SBT は還元耐性が著しく弱く、半導体プロセスによる劣化耐性が極めて低い。[40]

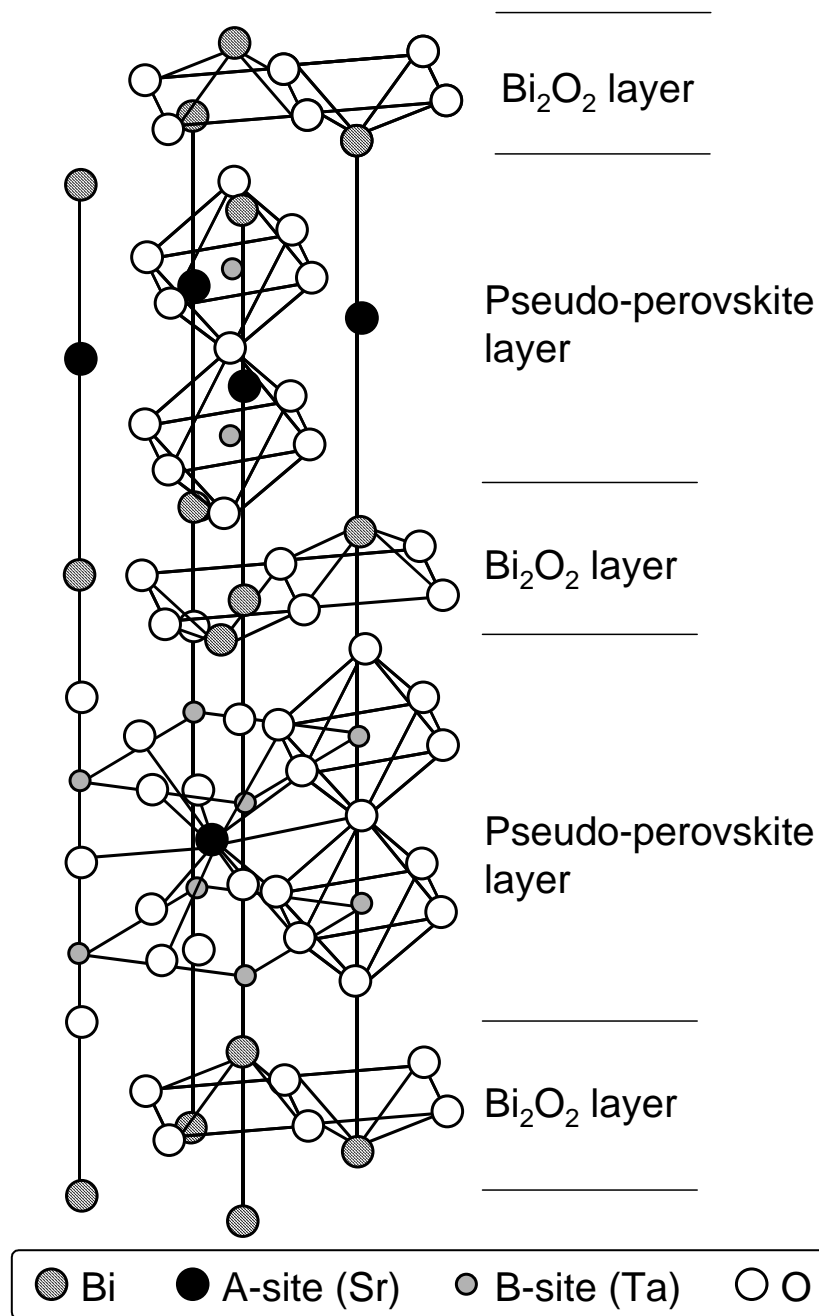


図 1.10 SBT の結晶構造.

一方、PZT は、600 °C でも十分に結晶化することから、半導体プロセスとの整合性は採りやすい。しかし、当初は分極反転の繰り返しにより残留分極が減少する「疲労」が問題となっていた。この点については、酸化物系の電極を用いることで、回避できることが報告されている。[14] 以上のような観点から、本研究では、デバイス応用を目的として、PZT 系の材料をとり上げる。

強誘電体薄膜を形成する方法として、目標とする膜の有機金属溶液を塗布、焼成して形成する Sol-Gel 法や MOD (Metal Organic Decomposition) 法がよく用いられている。[41-46] この方法は、溶液を回転塗布するので、ウエハ表面上のパーティクルの存在による塗布むらが生じる可能性がある上、塗布後にエッジ部のリンスを行う必要がある。また、回転塗布法では、表面に凹凸がある場合、カバレッジが極めて悪くなる。したがって、ドライプロセスであるスパッタ法や MOCVD (Metal-Organic Chemical Vapor Deposition) 法による成膜技術の確立が望まれる。

MOCVD 法は、原料ごとに蒸気圧が異なるため、その組成制御が困難であった。ただし、この点に関しては近年急速に開発が進められており、デバイス応用に耐え得るプロセスとして立ち上がりつつある。[47-53] 表面反応を利用した MOCVD 法は、成膜温度の低温化に対しても効果があり [52]、今後のプロセス安定化に大きな期待がかかっている。

スパッタ法[54-66]は、溶液塗布法や MOCVD 法のような有機金属を用いないため、原料の取扱が安全であり、有害廃棄物は一切発生しない。ターゲット組成を制御することによって、膜組成の制御が容易に行えるだけでなく、組成の安定性も確保しやすい。スパッタプロセスは、半導体プロセスでの実績も多く、ハード面での完成度も高い。半導体プロセスで一般に用いられているマグネトロンスパッタを用いることで、低圧でのプラズマ密度の向上と高スパッタレートを実現できる。ただし、ターゲットが絶縁膜であるため、RF 電源を用いる必要がある。また、LSI の量産化に適用していくためには、均一な組成や膜厚を実現することが重要であり、そのためには大口径のシングルターゲットによるスパッタ成膜が望まれる。しかし、これまでは、大口径シングルターゲットによる PZT スパッタの検討はあまり行われてこなかった。[63,65] 本研究では、12 インチ径シングルターゲットを用いた RF マグネトロンスパッタリングによる PZT スパッタプロセスの研究を行った。

## 1.4 本研究の目的と論文の構成

本研究は、FeRAM の信頼性を向上させるため、強誘電体容量の材料およびプロセス面からのアプローチを行った。図 1.11 に、本論文の構成を示し、以下に本論文の目的と各章の構成をまとめる。

本研究では、量産性に優れ、半導体プロセスとして習熟度の高い、スパッタ法によって PZT の成膜を行う。第 2 章では、本研究で用いたスパッタ装置の構成や特長、および強誘電体容量の評価法について述べる。PZT は、絶縁体であるために、RF スパッタにより成膜する必要がある。また、LSI 工程で用いるスパッタ装置は、低圧でプラズマ密度を高めることが可能なマグネトロンスパッタを採用している。そこで、本研究では、RF マグネトロンスパッタ装置を用いて、PZT の成膜を行った。PZT の



ような機能性薄膜のスパッタにおいては、基板の温度管理がきわめて重要である。すなわち、正確な温度モニタと、それに基づくヒータ出力の制御を行う必要がある。しかし、温度モニタに一般的に用いられる熱電対を用いると、RF パワーによるノイズの影響で正確なモニタを行うことができない。そこで、ウエハからの輻射光をモニタし、光信号で伝送される放射温度計を用いることとした。本章では、ウエハ温度を正確にモニタするための、放射温度計の設計についても述べる。

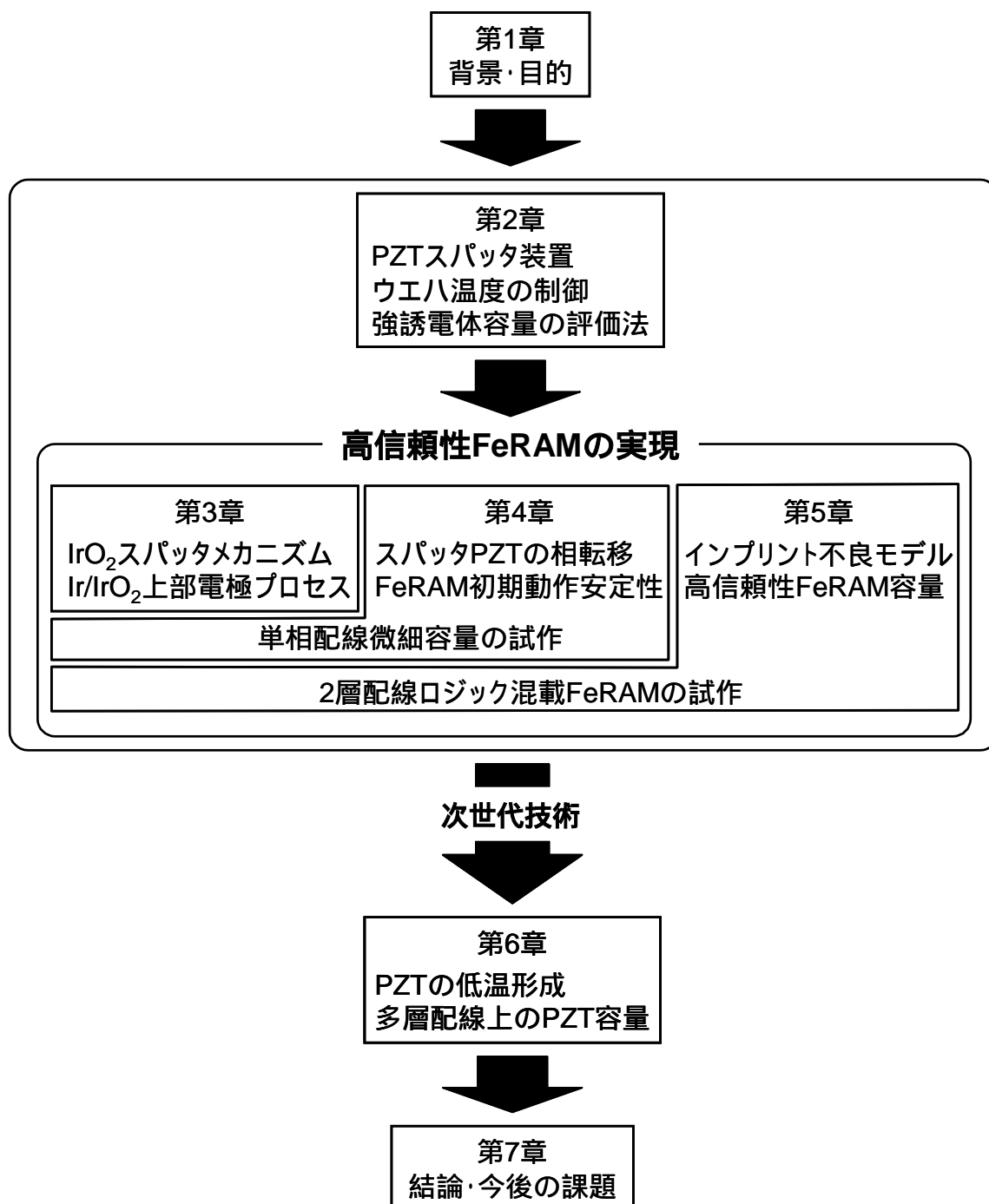


図 1.11 本論文の構成.

第3章では、PZT 容量の信頼性を向上させるための上部電極として、Ir 系電極材料のスパッタ成膜の検討を行った。PZT 容量の疲労耐性は、酸化物電極を用いることで向上する。本研究では、酸化物電極として  $\text{IrO}_2$  を採用して検討を行った。キャパシタの電極として  $\text{IrO}_2$  を採用したという報告はいくつかある[14]が、 $\text{IrO}_2$  のスパッタ成膜そのものに関する報告は少ない。[67,68] そこで、本章では  $\text{IrO}_2$  薄膜ののスパッタ堆積機構の解明を行い、その特徴を活かした Ir/ $\text{IrO}_2$  積層上部電極プロセスの検討を行った。また、 $\text{IrO}_2$  のスパッタプロセスが、PZT 容量特性に及ぼす影響を調べ、低ダメージの上部電極プロセスを確立した。

第4章の前半では、PZT 膜のスパッタプロセスの検討を行った。PZT のスパッタに関しては、直接ペロブスカイト相が得られるような高温条件でスパッタを行うと、Pb の組成変動が見られる。このため、500 以下の低温でスパッタを行い、アニールによってペロブスカイト相に相転移させるという手法が定着してきている。[67,68] ただし、この手法を用いた場合でも、スパッタ直後の膜質によってアニール後の膜物性は変化する。ここでは、スパッタ条件の制御によって、アニール後に得られる膜の特性を向上させることを目的として行った実験の結果を述べる。特に、as-deposited で得られる常誘電性のパイロクロア相の配向性と、相転移アニール後に得られるペロブスカイト相の配向性の関係を調べ、相転移過程の解析を行った。

これまでは、FeRAM のメモリ動作を考慮した材料設計や開発は、あまり行われてこなかった。PZT 容量に関しては、誘電率や圧電効果のもっとも大きくなる MPB 付近の組成について、多くの研究がなされており、データも豊富に蓄積されてきた。このため、FeRAM に関しても、MPB 付近の組成を用いることが多かった。PZT の B サイトの組成を変化させることで、強誘電体容量の特性が変化することは良く知られており、薄膜でも強誘電特性の B サイト組成依存性についての報告は見られる。[57,58] しかし、その結果を、FeRAM の動作安定性を向上させるために活用しようとする活動は行われていない。そこで、第4章の後半では、FeRAM の動作原理を考え、より安定動作を実現するために要求される強誘電体容量の特性を検討した結果を述べる。その検討結果をもとに、FeRAM における初期動作の安定性を確保することを目的とし、PZT 容量の B サイト組成や PZT 膜厚による、容量特性の制御を行った。

第5章では、強誘電体容量の特徴の一つであるインプリント特性が、FeRAM の動作に及ぼす影響をモデル化し、FeRAM の長期信頼性評価法を提案した。FeRAM は、不揮発性メモリとして期待されている以上、長期間データを保持した後の特性変動は極めて重要な要素となってくる。一つは、リテンション特性であり、これはデータ保持の能力を示すものである。FeRAM におけるリテンションは、残留分極がどの程度保持できるかを調べることでおおよその見通しは立つ。したがって、強誘電体容量素子を用いた評価によって保持の信頼性を予測することは可能である。[69-72] もう一つは、強誘電体容量特有の現象である「インプリント」特性である。ここで議論するインプリントは、データの静的な保持によって、分極の極性が固定化されるように変動する経時変化である。すなわち、データを保持し続けることで、逆データのメモリ動作が不可能になる現象である。インプリントに関しても、分極量の減少で議論している報告は多い。[73-76] しかし、インプリントは非線形なヒステリシスが、電圧軸方向にシフトしていく現象であり、分極量の変化によって、FeRAM の動作特性の変動を予測すること

は不可能である。そこで、FeRAM の読み出し動作に及ぼすインプリントの影響をモデル化し、ビット線電圧の変動を評価する手法を確立した。この方法では、インプリントした非線形ヒステリシスループを考慮することで、インプリント後の FeRAM 読み出し動作を正確に予測することが可能となる。また、この予測手法を用いて、A サイトイオンの過剰量やドーパントを制御することで、長期信頼性が向上することを示した。さらに、第 3 章からここまでで得られた結果に基づき、FeRAM マクロの試作を行い、LSI プロセスによる容量特性の変動や、メモリ動作などの検証を行った。

第 6 章では、PZT 容量の低温形成技術について述べる。PZT 容量の特性は、LSI プロセスによって劣化することが避けられないのが現状である。このようなプロセス劣化の要因として、PZT 容量上に積層される配線層や絶縁層による応力、プラズマプロセスによるチャージングダメージ、あるいはプロセス中に発生する水素による還元ダメージなどが考えられる。これらのプロセスによる特性劣化を抑えるためには、個々のプロセスを低ダメージ化していく必要がある。しかし、LSI における工程数は膨大であるため、全てのプロセスを FeRAM 専用に再構築するのは困難であり、製造コスト的にも不利である。したがって、PZT 容量形成後のプロセス数を削減し、最少化したプロセスに注力して低ダメージ化を推し進めることで、プロセス開発の負担が軽くなる。容量形成後のプロセス数を削減する手段として、CMVP (Capacitor on Metal/Via stacked Plug) セル構造が提案されている。[52] これは、多層配線を含む CMOS ロジックのプロセスが完了した後に、強誘電体容量を形成する方法である。このような構造が実現すれば、強誘電体容量形成後に必要なプロセスは、一層分の配線プロセスのみである。したがって、多層膜形成による応力の影響は小さく抑えられる。また、容量形成後のプロセス数が少ないため、そのリファインが極めて容易になる。本セル構造は、セルの高密度化にも有効であり、今後の強誘電体容量形成プロセスとして極めて重要な技術である。ただし、この構造を作り上げるためには、容量形成プロセスを、Al 配線が劣化しない程度の低温で行う必要がある。従来の手法では、ペロブスカイト PZT を得るために 600 °C の熱処理を行う必要があったため、配線が変質してしまう問題があった。そこで、第 6 章では、ペロブスカイト PZT を成膜する際の熱負荷を低減する試みを行った。また、ここで検討を行った低熱負荷のスパッタ PZT プロセスの実力を検証するため、多層配線上に容量を形成し、容量特性や配線特性の評価を行った。

第 7 章では、以上の結果をまとめて結論とし、今後の課題を述べる。

## 参考文献

- [1] Y. Tarui, Y. Hayashi, and K. Nagai, *J. Solid-State Circuits*, **SC-7**, 369 (1972).
- [2] H. Iizuka, F. Masuoka, T. Sato, and M. Ishikawa, *IEEE Trans. Electron Devices*, **ED-23**, 379 (1976).
- [3] W. M. Gosney, *IEEE Trans. Electron Devices*, **ED-24**, 594 (1977).
- [4] F. Masuoka, M. Asano, H. Iwahashi, T. Komuro, N. Tozawa, and S. Tanaka, *J. Solid-State Circuits*, **SC-22**, 548 (1987).
- [5] M. Momodomi, Y. Itoh, R. Shirota, Y. Iwata, R. Nakawama, R. Kirisawa, T. Tanaka, S. Aritome, T. Endoh, K. Ohuchi, and F. Masuoka, *J. Solid-State Circuits*, **24**, 1238 (1989).
- [6] D. H. Oto, V. K. Dham, K. H. Gudger, M. J. Reitsma, G. S. Gongwer, Y. W. Hu, J. F. Olund, H. S. Jones, Jr., and S. T. K. Nieh, *J. Solid-State Circuits*, **SC-18**, 532 (1983).
- [7] J. T. Evans and R. Womack, *IEEE J. Solid-State Circuits*, **23**, 1171 (1988).
- [8] R. Moazzamin, C. Hu, and W. H. Shepherd, *IEEE Electron Devices Lett.*, **11**, 454 (1990).
- [9] S. Tehrani, J. M. Slaughter, E. Chen, M. Durlam, J. Shi, and M. DeHerrera, *IEEE Trans. Magnetism*, **35**, 2814 (1999).
- [10] S. S. P. Parkin, K. P. Roche, M. G. Samant, P. M. Rice, R. B. Beyers, R. E. Scheuerlein, E. J. O'sullivan, S. L. Brown, J. Bucchigano, D. W. Abraham, Y. Lu, M. Rooks, P. L. Trouilloud, R. A. Wanner, and J. Gallagher, *J. Appl. Phys.*, **85**, 5828 (1999).
- [11] S. Tehrani, B. Engel, J. M. Slaughter, E. Chen, M. DeHerrera, M. Durlam, P. Naji, R. Whig, J. Janesky, and J. Calder, *IEEE Trans. Magnetism*, **36**, 2752 (2000).
- [12] S. Lai and T. Lowrey, *IEDM 2001 Tech. Dig.* 803 (2001).
- [13] A. Seike, K. Amanuma, S. Kobayashi, T. Tatsumi, H. Koike, and H. Hada, *J. Appl. Phys.*, **88**, 3445 (2000).
- [14] T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, *Appl. Phys. Lett.*, **65**, 1522 (1994).
- [15] USP 2876436.
- [16] <http://www.thinfilm.se>
- [17] T. Nishihara and Y. Itoh, *ISSCC 2002 Dig. Tech. Papers*, 454 (2002).
- [18] S-Y Wo, *IEEE Trans. Electron Devices*, **21**, 499 (1974).
- [19] K. Sugibuchi, Y. Kurogi, and N. Endo, *J. Appl. Phys.*, **46**, 2877 (1975).
- [20] N. Maffei and S. B. Krupanidhi, *J. Appl. Phys.*, **74**, 7551 (1993).
- [21] V. S. Dharmadhikari and W. W. Grannemann, *J. Vac. Sci. Tech.*, **A1**, 483 (1983).
- [22] T. Hirai, K. Teramoto, T. Nishi, T. Goto, and Y. Tarui, *Jpn. J. Appl. phys.*, **33**, 5219 (1994).

- [23] I. Sakai, E. Tokumitsu, and H. Ishiwara, *Jpn. J. Appl. phys.*, **35**, 4987 (1996).
- [24] T. Hirai, K. Nagashima, H. Koike, S. Matsuno, and Y. Tarui, *Jpn. J. Appl. phys.*, **35**, 5150 (1996).
- [25] T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, *ISSCC '95 Dig. Tech. Papers*, 68 (1995).
- [26] Y. Fujimori, T. Nakamura, and A. Kamisawa, *Jpn. J. Appl. phys.*, **38**, 2285 (1996).
- [27] E. Tokumitsu, G. Fujii, and H. Ishiwara, *Appl. Phys. Lett.*, **75**, 575 (1999).
- [28] T. P. Ma and J. P. Han, *IEEE Electron Device Lett.*, **23**, 386 (2002).
- [29] S. M. Yoon and H. Ishiwara, *IEEE Trans. Electron Devices*, **48**, 2002 (2001).
- [30] R. Ogiwara, S. Tanaka, Y. Itoh, T. Miyakawa, Y. Takeuchi, S. M. Doumae, H. Takenaka, Y. Kunishima, S. Shuto, O. Hidaka, S. Ohtsuki, and S. Tanaka, *IEEE Trans. Electron Devices*, **35**, 545 (2000).
- [31] Y. Chung, B. G. Jeon, and K. D. Suh, *IEEE J. Solid-State Circuits*, **35**, 697 (2000).
- [32] B. G. Jeon, M. K. Choi, Y. Song, S. K. Oh, Y. Chung, K. D. Suh, and K. Kim, *IEEE J. Solid-State Circuits*, **35**, 1690 (2000).
- [33] B. J. Koo, Y. J. Song, S. Y. Lee, D. J. Jung, H. H. Kim, S. H. Joo, Y. T. Lee, and K. Kim, *IEEE Electron Device Lett.*, **21**, 280 (2000).
- [34] H. Koike, T. Otsuki, T. Kimura, M. Fukuma, Y. Hayashi, Y. Maejima, K. Amanuma, N. Tanabe, T. Matsuki, S. Saito, T. Takeuchi, S. Kobayashi, T. Kunio, T. Hase, Y. Miyasaka, N. Shohata, and M. Takada, *IEEE J. Solid-State Circuits*, **31**, 1625 (1996).
- [35] E. Fujii, Y. Ito, T. Kutsunai, Y. Nagano, A. Noma, T. Nasu, Y. Izutsu, T. Mikawa, H. Yasuoka, M. Azuma, Y. Shimada, Y. Sasai, K. Sato, and T. Otsuki, *IEEE Trans. Electron Devices*, **48**, 1231 (2001).
- [36] K. Nakao, Y. Judai, M. Azuma, Y. Shimada, and T. Otsuki, *Jpn. J. Appl. Phys.*, **37**, 5203 (1998).
- [37] G. Braun, H. Hoenigschmid, T. Schlager, and W. Weber, *IEEE J. Solid-State Circuits*, **35**, 691 (2000).
- [38] 岡崎, セラミック誘電体工学, p.333, 学献社.
- [39] 竹中, 学位論文「ピスマス層状構造強誘電体セラミックスの粒子配向とその圧電・焦電材料への応用」(1984).
- [40] T. Hase, T. Noguchi, and Y. Miyasaka, *Integr. Ferroelectric.*, **16**, 29 (1997).
- [41] K. Amanuma, T. Mori, T. Hase, T. Sakuma, A. Ochi, and Y. Miyasaka, *Jpn. J. Appl. Phys.*, **32**, 4150 (1993).
- [42] S. H. Kim, J. G. Hong, S. K. Streiffer, and A. I. Kingon, *J Mater. Res.*, **14**, 1018 (1999).
- [43] S. M. Cho and D. Y. Jeon, *Thin Solid Films*, **338**, 149 (1999).
- [44] Y. J. Song, Y. Zhu, and S. B. Desu, *Appl. Phys. Lett.*, **72**, 2686 (1998).

- [45] J. H. Jand, K. H. Yoon, and H. J. Shin, *Appl. Phys. Lett.*, **73**, 1823 (1998).
- [46] Z. Huang, Q. Zhang, and R. W. Whatmore, *J. Appl. Phys.*, **85**, 7355 (1999).
- [47] S. Hazumi, T. Asano, M. Hattori, H. Nakashima, I. Kobayashi, and M. Okada, *Jpn. J. Appl. Phys.*, **34**, 5086 (1995).
- [48] H. Miju and Y. Ohji, *Jpn. J. Appl. Phys.*, **33**, 5243 (1995).
- [49] J. W. Kim, J. S. Shin, D. M. Wee, K. S. No, and W. J. Lee, *Jpn. J. Appl. Phys.*, **35**, 2726 (1996).
- [50] C. Schmidt and E. P. Bulte, *Microelectronics Reliability*, **39**, 257 (1999).
- [51] H. S. Song, T. S. Kim, C. E. Kim, and H. J. Jung, *J. Mater. Res.*, **14**, 487 (1999).
- [52] K. Amanuma, T. Tatsumi, Y. Maejima, S. Takahashi, H. Hada, H. Okizaki, and T. Kunio, *IEDM'98 Tech. Dig.* 363 (1998).
- [53] T. S. Moise, S. R. Summerfelt, G. Xing, L. Colombo, T. Sakoda, S. R. Gilbert, A. Loke, S. Ma, R. Kavari, L. A. Wills, T. Hsu, J. Amano, S. T. Johnston, D. J. Vestyck, M. W. Russell, and S. M. Bilodeau, *IEDM'99 Tech. Dig.* 940 (1999).
- [54] H. Matsunami, M. Suzuki, M. Ishida, and T. Tanaka, *Jpn. J. Appl. Phys.*, **15**, 1163 (1976).
- [55] A. Okada, *J. Appl. Phys.*, **48**, 2905 (1977).
- [56] S. B. Krupanidhi, N. Maffei, M. Sayer, and K. El-Assal, *J. Appl. Phys.*, **54**, 6601 (1983).
- [57] R. Takamiya and Y. Tomita, *J. Appl. Phys.*, **65**, 1666 (1989).
- [58] K. Iijima, I. Ueda, and K. Kugimiya, *Jpn. J. Appl. Phys.*, **30**, 2149 (1991).
- [59] K. Hirata, N. Hosokawa, T. Hase, T. Sakuma, and Y. Miyasaka, *Jpn. J. Appl. Phys.*, **31**, 3021 (1992).
- [60] A. Fujisawa, M. Furihata, I. Minemura, Y. Onuma, and T. Fukami, *Jpn. J. Appl. Phys.*, **32** 4048 (1993).
- [61] S. Yamauchi, H. Tamura, M. Yoshimaru, and M. Ino, *Jpn. J. Appl. Phys.*, **32**, 4118 (1993).
- [62] W. Zhang, K. Sasaki, and T. Hata, *Jpn. J. Appl. Phys.*, **35**, 5084 (1996).
- [63] K. Suu, A. Osawa, N. Tani, M. Ishikawa, K. Nakamura, T. Ozawa, K. Sameshima, A. Kamisawa, and H. Takasu, *Jpn. J. Appl. Phys.*, **35**, 4697 (1996).
- [64] E. Cattán, G. Velu, B. Jaber, D. Remiens, and B. Thierry, *Appl. Phys. Lett.*, **70**, 31 (1997).
- [65] K. Suu, A. Osawa, Y. Nishioka, and N. Tani, *Jpn. J. Appl. Phys.*, **36**, 5789 (1997).
- [66] T. Sakoda, K. Aoki, and Y. Fukuda, *Jpn. J. Appl. Phys.*, **38**, 5162 (1999).
- [67] R. H. Horng, D. S. Wu, L. H. Wu, and M. K. Lee, *Thin Solid Films*, **373**, 231 (2000).
- [68] C. U. Pinnow, I. Kasko, C. Dehm, B. Jobst, M. Seibt, and U. Geyer, *J. Vac. Sci. Tech.*, **B19**, 1857 (2001).
- [69] J. M. Benedetto, R. A. Moore, and F. B. McLean, *J. Appl. Phys.*, **75**, 460 (1994).

## 第1章 序論

- [70] R. Ramesh, W. K. Chan, B. Wilkens, H. Gilchrist, T. Sands, and J. M. Tarascon, *Appl. Phys. Lett.*, **61**, 1537 (1992).
- [71] S. Aggarwal, S. Madhukar, B. Nagaraj, G. Jenkins, and R. Ramesh, *Appl. Phys. Lett.*, **75**, 716 (1999).
- [72] I. G. Jenkins, T. K. Song, S. Madhukar, A. S. Prakash, S. Aggarwal, and R. Ramesh, *Appl. Phys. Lett.*, **72**, 3300 (1998).
- [73] T. Mihara, H. Watanabe, and C. A. P. de Araujo, *Jpn. J. Appl. Phys.*, **32**, 4168 (1993).
- [74] R. Ramesh, J. Lee, V. G. Keamidas, and O. Auciello, *Appl. Phys. Lett.*, **64**, 2511 (1994).
- [75] J. Lee, R. Ramesh, V. G. Keramidas, W. L. Warren, G. E. Pike, and J. T. Evans, Jr., *Appl. Phys. Lett.*, **66**, 1337 (1995).
- [76] J. Lee, C. H. Choi, B. H. Park, T. W. Noh, and J. K. Lee, *Appl. Phys. Lett.*, **72**, 3380 (1998).

## 第2章

# スパッタ装置の構成と強誘電体容量の評価法

## 2.1 強誘電体容量スパッタ装置

### 2.1.1 スパッタ装置の構成

図 2.1に、本研究で用いた強誘電体容量スパッタ装置の構成を示す。電極スパッタ用の DC スパッタチャンバと PZT スパッタ用の RF スパッタチャンバ、およびプリヒートチャンバの 3 チャンバ構成である。この他に、ロード/アンロード兼用の排気チャンバがあり、全てのチャンバ間を、トランスファチャンバを介して真空搬送可能である。プリヒートチャンバは、ウエハ裏面に設置されているヒータと、そのヒータ部を通して供給される Ar ガスによって、ウエハを加熱するガスヒート方式の加熱チャンバである。加熱中は、数 mTorr 程度の Ar ガスが供給されており、上限温度は 500 程度である。DC チャンバも、プリヒートチャンバと同様のガスヒート方式による基板加熱を行える仕様になっている。本チャンバは、一般的な DC マグネトロンスパッタ方式を採用しており、12 インチ径の大口径ターゲットを用いて導電性膜のスパッタを行うことができる。チャンバには、Ar と O<sub>2</sub> ガスが供給できるようになっており、酸素を用いた反応性スパッタも可能である。各チャンバは、クライオポンプによって排気されており、その背圧は 10<sup>-8</sup>Torr 台前半である。

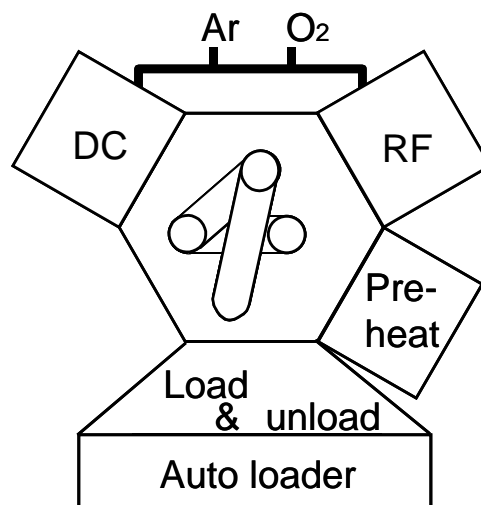


図 2.1 強誘電体容量スパッタ装置の構成.



RF チャンバは本研究で開発した特殊使用である。図 2.2に、RF スパッタチャンバの概略図を示す。電源は 13.56MHz の高周波電源で、マッチングボックスを介して Cu 製のバックリングプレートに入力される。バックリングプレートの裏側には永久磁石が設置されており、成膜の均一性を維持するために 12rpm で回転させている。ターゲット冷却のため、バックリングプレートの裏側は直接水冷されている。ターゲットの径は、DC チャンバと同様の 12 インチで、バックリングプレートにボンディングされている。チャンバ内には、アースされたシールドが設置され、プラズマはシールドの中に閉じ込められるようになっている。シールドは Al 製であるが、スパッタの進行に伴って内壁に絶縁性のスパッタ膜が成膜されるため、プラズマから見たアースはシールド内には存在しない。ウエハは石英製ホルダー上に置かれ、電気的にはフローティングである。ウエハ加熱は、セラミックヒータによる輻射方式で行われ、熱反射板によって加熱効率を高めている。ウエハ温度のモニタは、放射温度計によって行い、PID コントローラを介して加熱パワーを精密制御している。

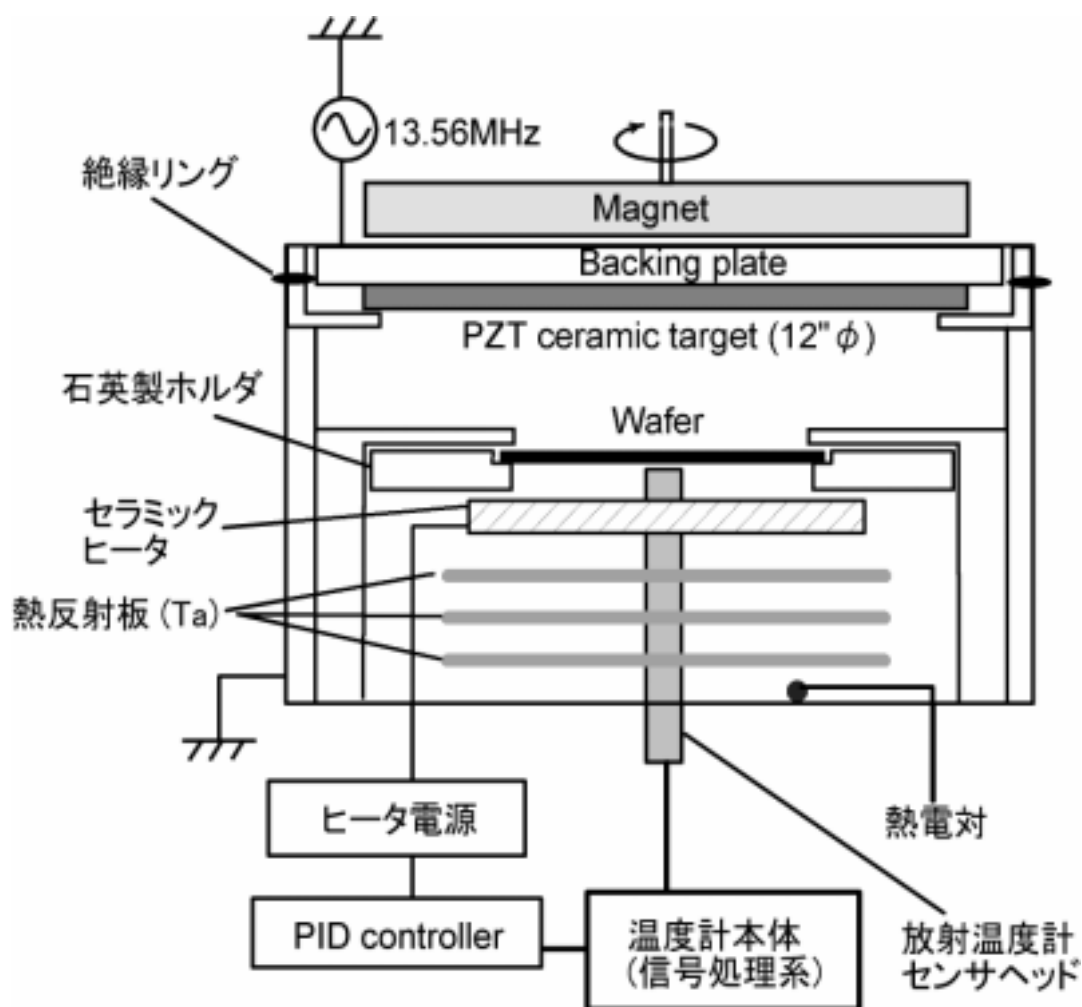


図 2.2 RF スパッタチャンバの概略図.

### 2.1.2 RF スパッタにおける基板温度の精密制御

PZT のような機能性の材料を成膜する際には、成膜時の温度で特性が決定されることが多い。したがって、スパッタ成膜時の基板温度の管理と制御は極めて重要である。正確かつ簡便に温度モニタを行えるのは、熱電対である。図 2.3に熱電対による温度モニタ結果を示す。RF パワーを投入中は、モニタ温度が 60 程度低下しており、値も安定していないことが分かる。このように、熱電対では、RF ノイズの影響で正確なモニタが困難である。

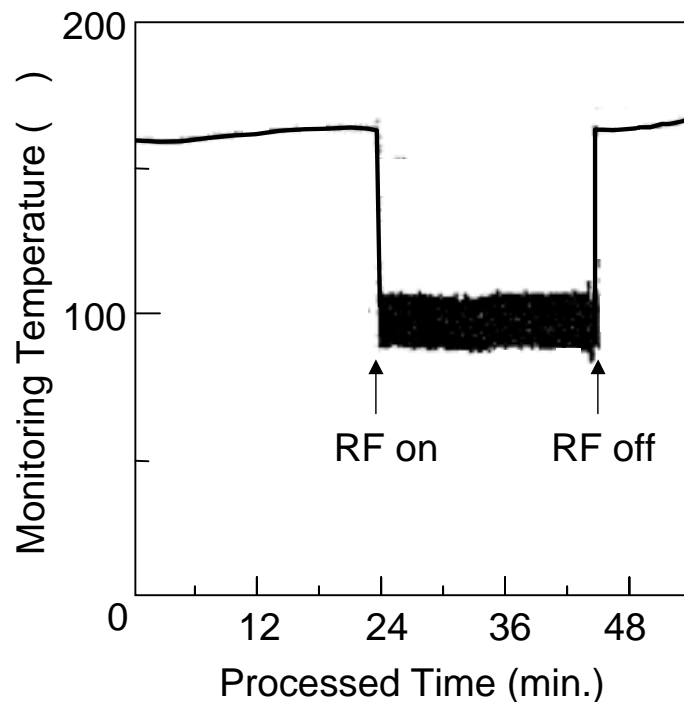


図 2.3 RF チャンバにおける熱電対による温度モニタ結果.

そこで、放射温度計による温度モニタを検討することにした。放射温度計は、図 2.2に示すようにウエハの裏面に設置し、裏面から温度をモニタするようにした。放射温度計は、ウエハ裏面からの放射光を測定するため、ウエハの放射率を正確に把握しておく必要がある。Si ウエハは、多くのプロセスステップを経ており、裏面の状態が必ずしも一定であるとは限らない。そこで、放射温度計のモニタ温度に及ぼす、放射率誤差の影響を調べ、その結果に基づいて放射温度計の選定を行った。

まず、放射温度計の測定原理について述べる。物体は、その温度に応じて常に放射エネルギー（電磁波）を放出している。その放射エネルギーは、(2.1)式で表される(Planck の式)。

$$E(\lambda, T) = \frac{8\pi hc}{\lambda^5} \frac{1}{\exp\left(\frac{hc}{k\lambda T}\right) - 1} = \frac{8\pi hc}{\lambda^5} \frac{1}{\exp\left(\frac{h\nu}{kT}\right) - 1} \quad (2.1)$$

$c$ : 光速 ( $=3.00 \times 10^{10}$  (cm/s)),  
 $h$ : プランク定数 ( $=6.63 \times 10^{-34}$  (J-s)),  
 $k$ : ボルツマン定数 ( $=1.38 \times 10^{-23}$  (J/K)),  
 $\lambda$ : 波長,  $\nu$ : 周波数,  $T$ : 絶対温度.

この式において、 $T < 3000\text{K}$  のときには、 $\exp(h\nu/kT) \gg 1$  となるので実用範囲では、

$$E(\lambda, T) = \frac{C_1}{\lambda^5} \exp\left(-\frac{C_2}{\lambda T}\right) \quad (2.2)$$

となる。ここで、 $C_1 = 8\pi hc$ ,  $C_2 = hc/k$  とした。実際に対象物から放射されるエネルギーは、この式に物質固有の放射率 $\varepsilon$ を掛け合わせたものとなり、

$$E(\lambda, T) = \varepsilon \frac{C_1}{\lambda^5} \exp\left(-\frac{C_2}{\lambda T}\right) \quad (2.3)$$

という式で表される。ある放射エネルギーを感知したとき、放射している物体の真の放射率を $\varepsilon$ 、真の温度を $T$ とし、検知器側で設定した放射率を $\varepsilon + \Delta\varepsilon$ 、そのときのモニタ温度を $T - \Delta T$ とすると、

$$\varepsilon \frac{C_1}{\lambda^5} \exp\left(-\frac{C_2}{\lambda T}\right) = (\varepsilon + \Delta\varepsilon) \frac{C_1}{\lambda^5} \exp\left(-\frac{C_2}{\lambda(T - \Delta T)}\right) \quad (2.4)$$

となり、これを整理すると、

$$\exp\left(\frac{C_2}{\lambda T} \frac{1}{1 - \frac{\Delta T}{T}}\right) = 1 + \frac{\Delta\varepsilon}{\varepsilon} \quad (2.5)$$

となる。 $C_2 (=1.44 \text{ (cm} \cdot \text{K)})$  と $\lambda T$ は同程度のオーダーとなるので、 $\Delta T/T \ll 1$ とした場合には、近似的に

$$\frac{C_2}{\lambda T} \frac{\Delta T}{T} = \frac{\Delta\varepsilon}{\varepsilon} \quad (2.6)$$

と表現することができる。(2.6)式を見て分かるように、モニタ温度の誤差 $\Delta T$ は、放射率の誤差 $\Delta\varepsilon$ に比例し、その比例係数は測定波長に比例する。

300 ~ 800 程度の温度範囲をモニタするために、よく用いられるサーモパイルは、多数の熱電対を束ねたもので、対象物からの赤外放射エネルギーで検出部が加熱され、その熱起電力により温度をモニタする仕組みになっている。ここで検討したサーモパイルの実際の測定波長範囲は 8 ~ 14 $\mu\text{m}$ であった。この値を使って、放射率の誤差に対する表示温度誤差がどの程度になるか見積もってみる。仮に、真の放射率が $\varepsilon=0.3$ で真の温度が $T=750\text{K}$  (477 ) とする。このとき、放射率の設定を 0.5 として測定した場合について考える。簡単のため、測定波長 $\lambda$ として、中央の波長である 11 $\mu\text{m}$ を

用いると、(2.6)式より、モニタ温度の誤差 $\Delta T=172$  となる。このように、赤外領域でモニタする放射温度計の場合には、放射率の設定を極めて正確に行わなければ、モニタ温度に大きな誤差が発生してしまう。

図 2.4は、裏面から見た実効的な放射率を測定した結果である。(a)は、ウエハ上に全くパターンを形成せず、Si 上に BPSG (Boro-Phospho Silicate Glass) を成膜したのみのウエハである。(b)はトランジスタを作りこみ、BPSG を成膜し、CMP (Chemical Mechanical Polishing) 平坦化まで行ったウエハである。いずれのウエハも、裏面はSiが露出しており、裏面の真の放射率は等しい。しかし、実際にサーモパイルでモニタする波長範囲では、放射率が著しく異なっていることが分かる。このように、ウエハ裏面の状態を固定していても、表面のパターンの有無等、ウエハ表面の構造によって放射率が変化する。これは、測定波長である赤外放射光が、Si ウエハ内を透過することに起因すると考えられる。現実の半導体プロセスを考えた場合、パターン形状や表面の膜構造などはロットによって変化する。したがって、このような長波長領域をモニタする放射温度計では、精密な温度制御は不可能である。

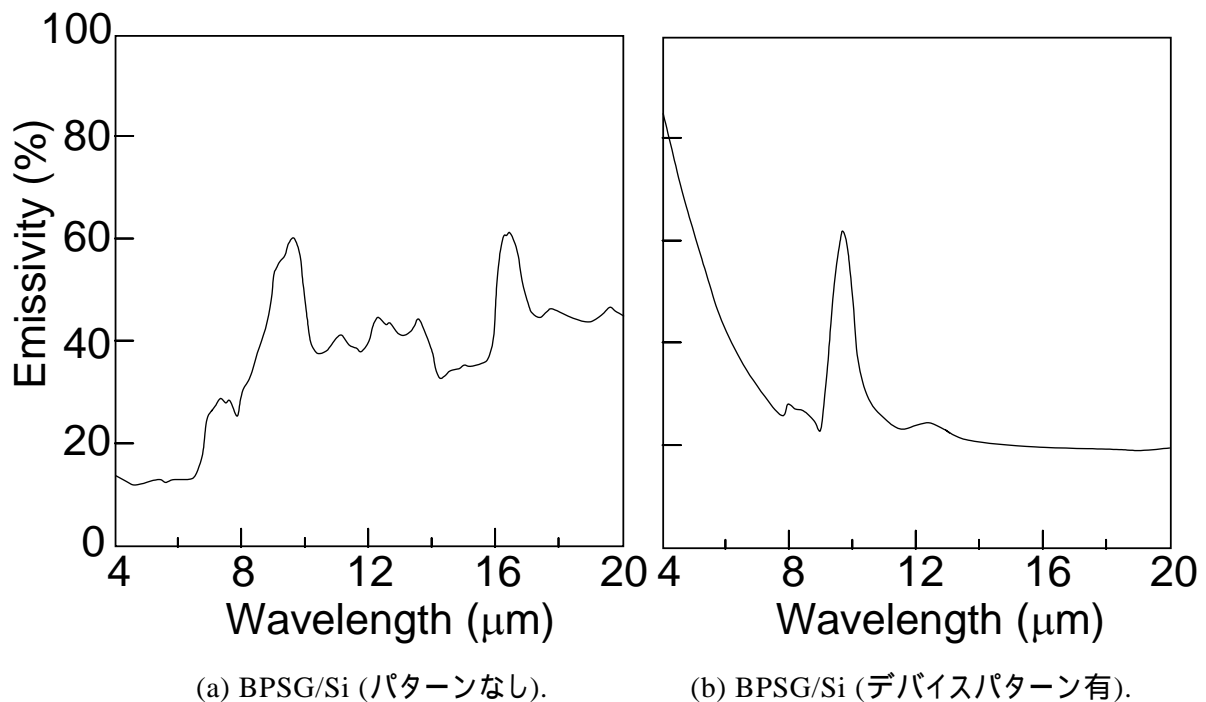
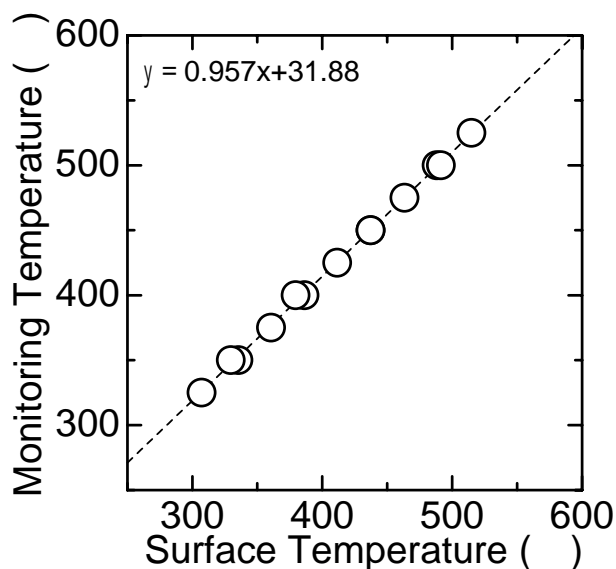


図 2.4 放射率測定結果.

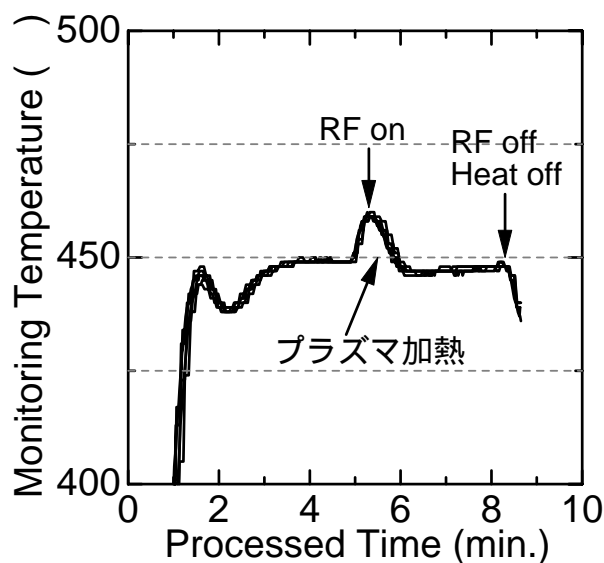
そこで、検出器として短波長の光の検出が可能な、半導体を用いた放射温度計の検討を行った。ここでは、検出波長として955nmの単色光を用いた検討を行う。(2.6)式によると、検出波長が短くなると、放射率の変化によるモニタ温度の誤差が小さくなる。また、この波長の光のエネルギーは、Siのバンドギャップよりも大きく、Si中を透過しない。すなわち、ウエハ裏面の最表面からの放射のみを

モニタすることが可能であり、ウエハ表面側の構造の影響を受けない。また、本手法では、センサヘッドから検出器までは光ファイバで引き回せるため、RF 電源の電気ノイズの影響を受けず、精密な温度制御が可能である。

図 2.5(a)は、表面に熱電対を埋め込んだウエハ (Pt/SiO<sub>2</sub>/Si ウエハ) をチャンバ内で加熱し、放射温度計でウエハ裏面をモニタした結果である。ウエハ裏面のモニタ温度と、ウエハ表面の実温は若干の誤差が見られるが、両者の関係は線形であり、放射温度計でウエハ表面温度の制御は可能であることを示唆している。図 2.5(b)は、連続して 6 枚のウエハを、同一レシピで処理したときの放射温度計モニタを記録したものである。ウエハ毎の再現性はきわめて良好である。4 分程度の加熱時間で目標温度の 450 に達している。RF を投入した瞬間にプラズマに起因する 10 程度の温度上昇が観測されるが、PID コントローラが温度を引き下げることで、過度の温度上昇が抑制されている。通常、ドライエッチングやスパッタなどのプラズマプロセスでは、基板温度はステージ温度によって管理しており、プラズマ中ではウエハ表面温度が 100 ~ 200 程度上昇するといわれている。本装置の場合は、ウエハ自体の温度をモニタしているため、正確な温度管理を行うことが可能となった。



(a) 放射温度計モニタとウエハ表面温度の関係.



(b) 放射温度計による温度制御.

図 2.5 放射温度計によるウエハ温度制御.

## 2.2 強誘電体膜及び容量の評価方法

PZT 膜の評価としては、XRD (X-Ray Diffraction) による結晶相の同定、ICP-AES (Inductively Coupled Plasma - Atomic Emission Spectrometry) や XRF (X-Ray Fluorescence) による組成分析、SEM (Secondary Electron Microscope) や TEM (Transmission Electron Microscope) による膜構造解析を行った。

PZT の電氣的性質は、容量を試作して評価した。図 2.6に、容量の試作プロセスの概略を示す。各々の詳細な条件は、各章で異なるため随時述べる。まず、Si ウエハ上に酸化膜を形成し、下部電極 PZT の順にスパッタ法により成膜する。下部電極の下層には、必要に応じて、密着膜やバリア膜を成膜する。PZT スパッタ後には、酸素アニール (1st アニール) を行う。続いて、上部電極をスパッタ法により成膜し、レジストマスクを用いた RIE (Reactive Ion Etching) により、上部電極のパターニングを行う。上部電極エッチング後には、エッチングダメージ除去のために 2nd アニールを行う。この段階で、パターニングされた上部電極と、PZT スパッタ時のエッジエクスクルージョン (図 2.6参照) によって露出している下部電極に、プローブを当てて容量の諸特性を評価する。

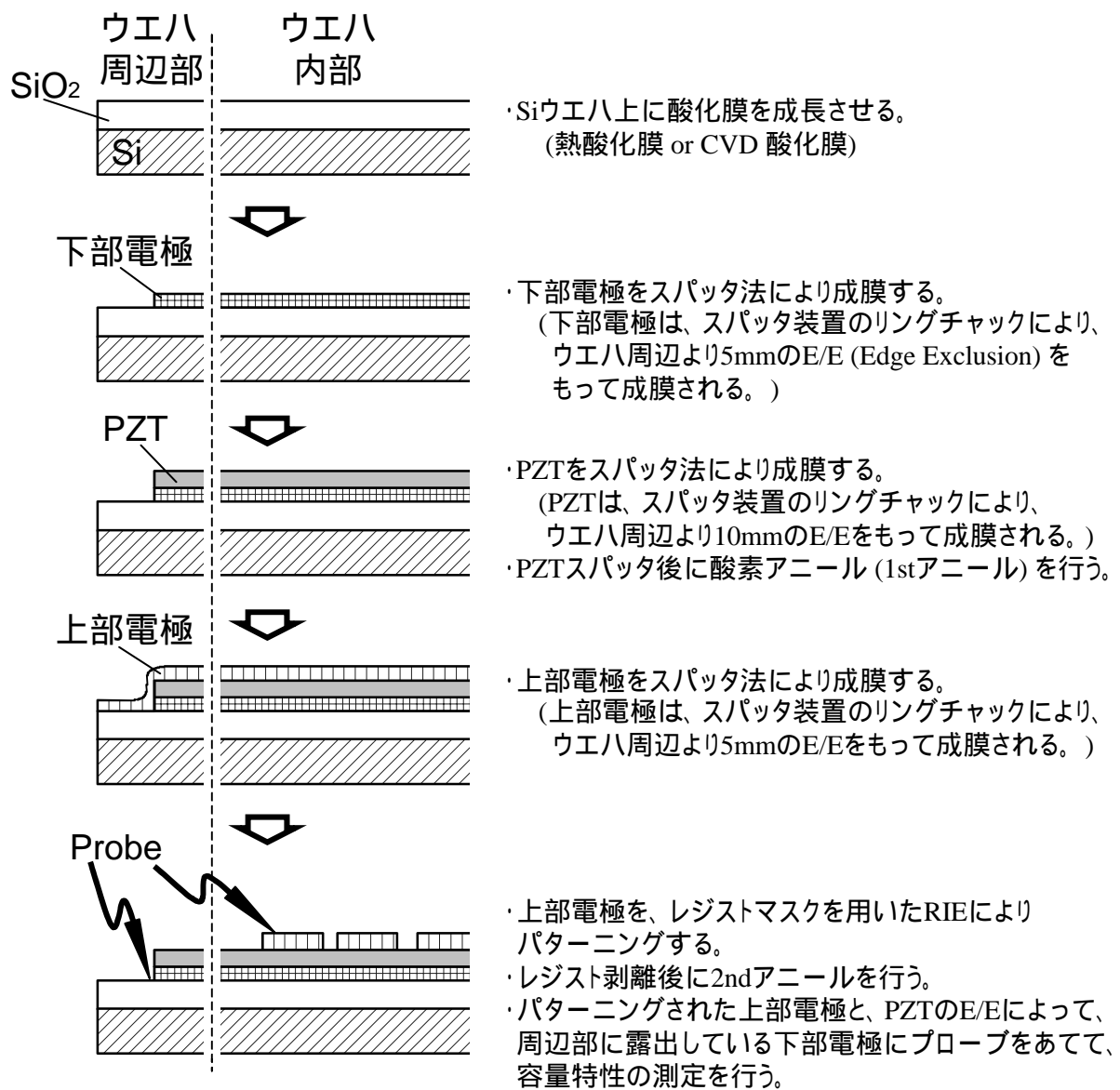


図 2.6 PZT 容量の試作工程.

従来の FeRAM セル構造では、下部電極がプレート線を兼ねている。(図 5.19、図 5.21参照) すなわち、デバイス動作時には、下部電極が常に駆動されることになる。そこで、第 2 章から第 5 章までは、上部電極を GND とし、下部電極に電圧を印加して測定を行った。しかし、第 6 章で述べる次世代セル構造 (図 6.1 参照) では、上部電極がプレート配線によって駆動されることになる。したがって、第 6 章の実験のみ、下部電極を GND とし、上部電極に電圧を印加している。

容量の分極に関する特性は、図 2.7 に示すソーヤ・タワー回路[1]を用いて評価した。強誘電体容量と参照容量を直列に接続して、両端にパルスジェネレータの出力を印加する。出力電圧と、参照容量の両端の電圧をオシロスコープに入力し、これらの電圧をモニタする。参照容量の容量値を強誘電体容量よりも十分に大きくしておくことで、強誘電体容量にほぼ全電圧が印加されるようにする。本研究では、強誘電体容量の総面積は常に  $10000\mu\text{m}^2$  となるように設計しており、参照容量としては  $45\text{nF}$  のものを用いた。参照容量の両端の電圧を測定し、その容量値を掛け合わせることで、強誘電体容量の分極が得られる。以下では、測定項目別に印加パルスの説明などを行う。

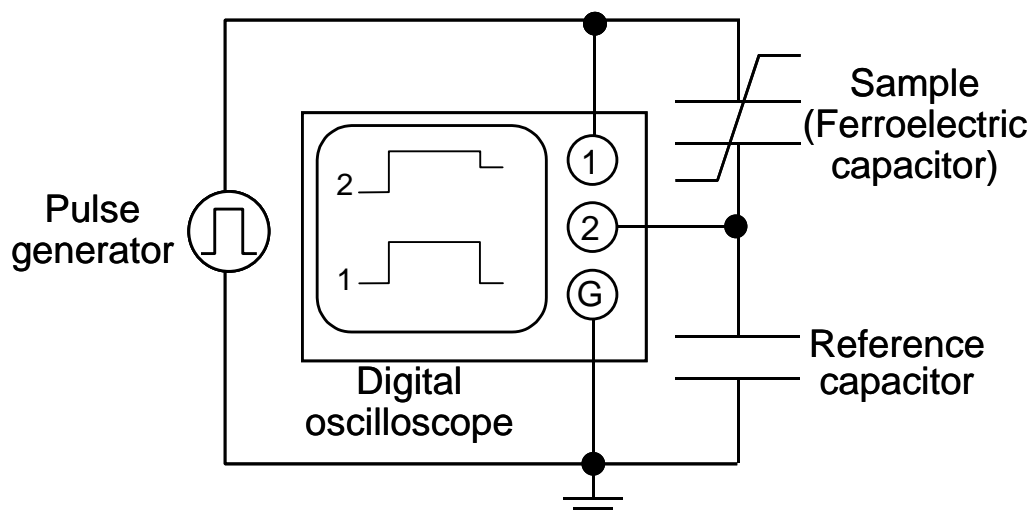


図 2.7 ソーヤ・タワー回路。

### (1) $P$ - $V$ ヒステリシス特性

図 2.8 に  $P$ - $V$  ヒステリシス特性の測定波形を示す。ヒステリシスは  $10\text{kHz}$  の三角波を印加して測定した。(a) は、ヒステリシスループを何周も回して測定を行う手法である。図 2.8(b) は、一周分分のヒステリシス測定で、始めに負の半周期分の三角波を印加し、1 秒間経過してから一周分分の三角波を印加する。始めのセットパルスから測定開始までの間の分極緩和 (5.3.3 参照) も含めたヒステリシス特性の測定が可能となる。

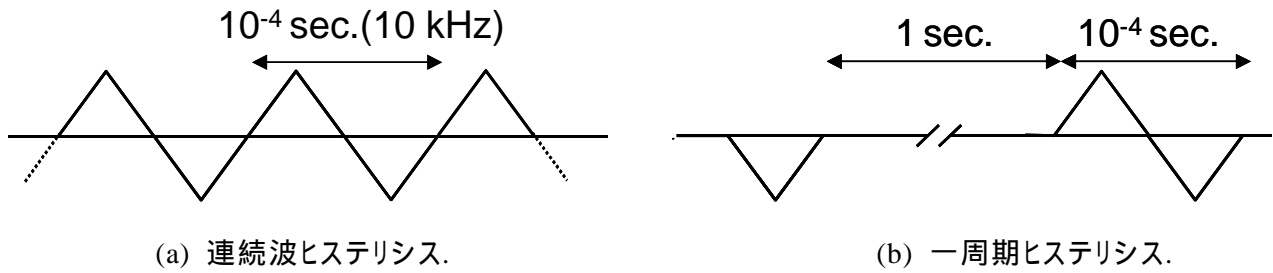


図 2.8 ヒステリシス特性測定波形.

## (2) パルス応答測定

実デバイス中では、強誘電体容量に印加されるのはパルス状の電圧であるため、容量のパルス応答を測定する。パルス応答を測定するための入力波形を図 2.9(a)に示す。セットパルスは、「書き込み」に相当し、正または負の電圧を印加する。その振幅は、駆動電圧を想定した値とする。その後、1 秒間の保持動作を行ってから測定パルスを印加してチャージを測定する。測定パルスは、「読み出し」を想定しているため極性は正とした。読み出し時のメモリセル容量には、図 1.5で示したように、ビット線と分割された電圧が印加される。この電圧を決定するために、チャージの測定パルス電圧依存性を測定する。測定パルス幅は、 $10000\mu\text{m}^2$  の容量に対して十分な読み書きが行われるように、 $3\mu\text{sec}$  に統一した。

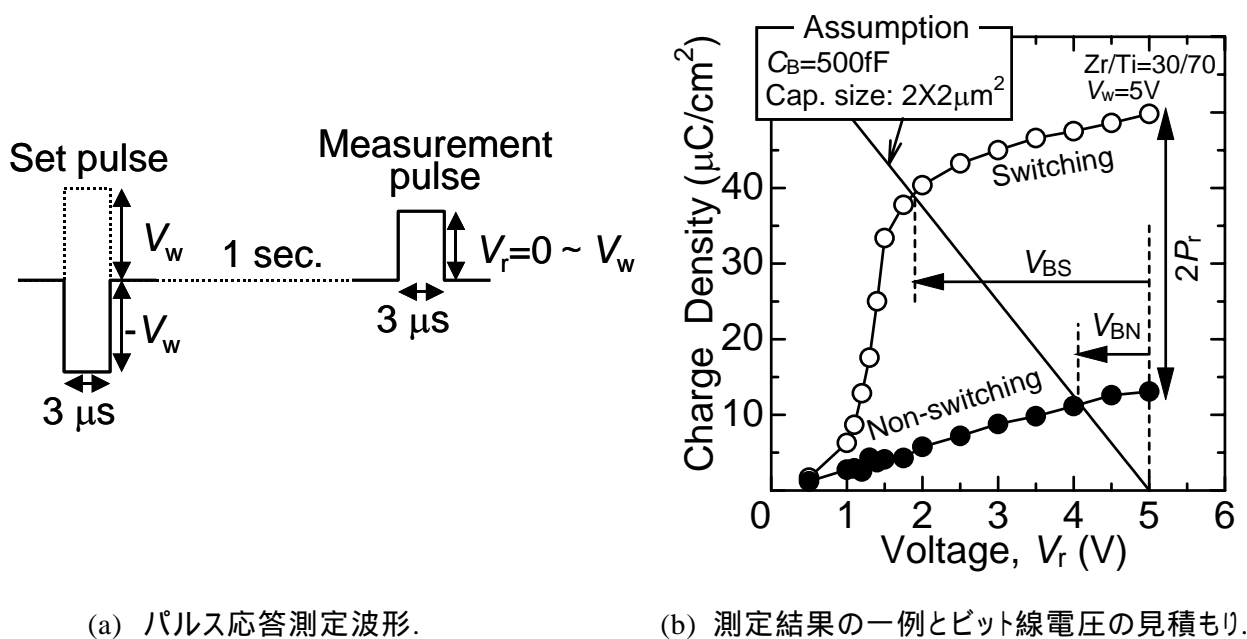


図 2.9 パルス測定応答測定.

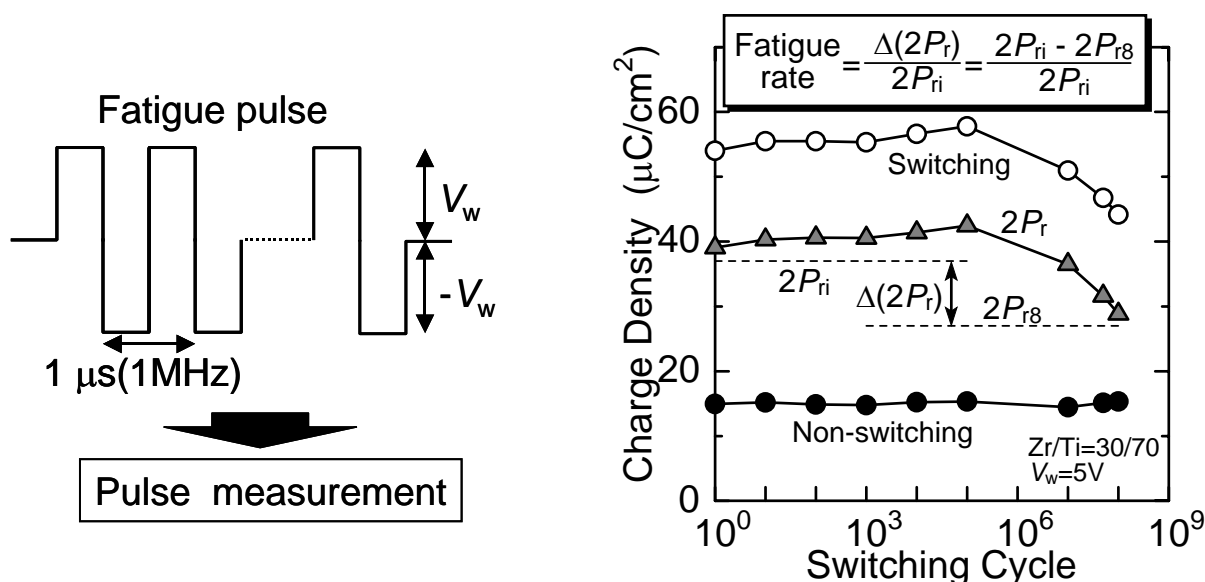


図 2.9(b)に測定結果の一例を示す。セットパルスを $\pm 5\text{V}$ とし、測定電圧を $0.5 \sim 5\text{V}$ まで変化させた。書き込みを $-5\text{V}$ とした場合が反転電荷 (Switching charge) で、 $+5\text{V}$  書き込みの場合が非反転電荷 (Non-switching charge) である。ここでは、ビット線容量を $500\text{fF}$ 、強誘電体容量の面積を $4\mu\text{m}^2$ と仮定して負荷線を引いてビット線電圧の見積もりを行った例を示している。この場合には、反転読み出し時のビット線電圧  $V_{\text{BS}}=3.1\text{V}$ 、非反転読み出し時のビット線電圧  $V_{\text{BN}}=0.9\text{V}$ となった。なお、測定電圧をセットパルスと同電圧とした場合 (図の例では  $5\text{V}$ ) の反転電荷と非反転電荷の差を、パルス測定から得られた残留分極  $2P_r$ と定義する。

### (3) 疲労特性

疲労特性は、分極反転の繰り返しによって分極特性が劣化する特性である。[2-6] 疲労特性も、実デバイスで印加されるような矩形パルスによって測定した。図 2.10(a)に、疲労特性測定波形を示す。疲労パルスは、 $1\text{MHz}$  の矩形パルスで、その振幅はデバイスの駆動電圧を想定した値とした。一定回数の疲労サイクルを印加した後、図 2.9で示したパルス応答測定を行う。特に断らない限り、疲労パルス、パルス応答のセットパルスと測定パルスは、全て同じ電圧として測定した。

図 2.10(b)は、疲労測定の一例である。横軸に疲労サイクル数を取り、縦軸に反転電荷と非反転電荷をとっている。残留分極に相当する  $2P_r$  は、反転電荷と非反転電荷の差である。分極反転の繰り返しによって、反転電荷が減少する劣化モードが観察される。



(a) 疲労特性測定波形.

(b) 疲労特性測定の一例.

図 2.10 疲労特性の測定.

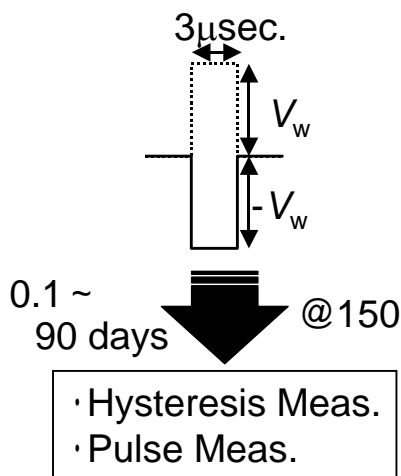
ここで、疲労の程度を示す尺度として  $10^8$  回の疲労パルス印加後の残留分極  $2P_r$  を用いる。  
(2.7)式に、本研究で定めた fatigue rate の定義を示す。

$$\frac{\Delta(2P_r)}{2P_{ri}} = \frac{2P_{r8} - 2P_{ri}}{2P_{ri}} \quad (2.7)$$

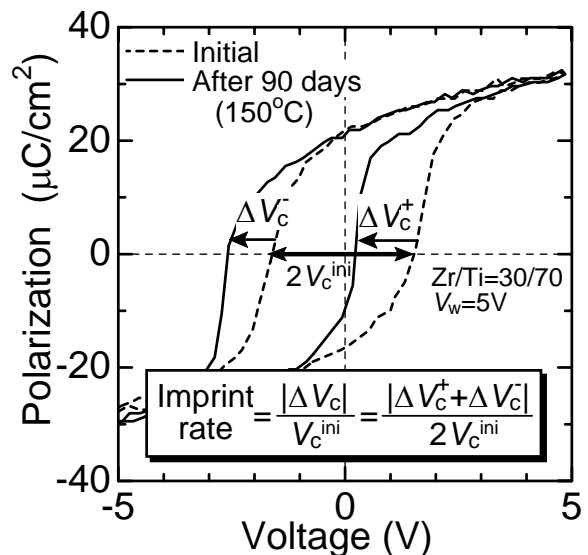
$\Delta(2P_r)$ :  $10^8$  回の両極性パルス印加により減少した  $2P_r$ ,  
 $2P_{ri}$ : 疲労前の  $2P_r$  (初期値),  
 $2P_{r8}$ :  $10^8$  回の両極性パルス印加後の  $2P_r$ .

#### (4) 高温での分極保持によるインプリント

インプリントは、データの保持によって一方向に分極し易く、逆方向に分極しにくくなる現象で、ヒステリシスの電圧軸に沿ったシフトという現象として表れる。[7-11] インプリントの詳細については、第 5 章で述べるが、ここでは測定法のみ紹介しておく。図 2.11(a)に、インプリント特性測定シーケンスを示す。まず、デバイスの駆動電圧を想定した振幅の矩形パルスによって分極処理を施し、 $N_2$  置換した 150 のオープン内に一定の期間保持する。0.1 ~ 90 日間保持し、オープンから取り出し、室温に戻してから容量特性を測定する。評価は、ヒステリシス測定とパルス応答測定である。図 2.11(b)は、90 日間保持後に測定した PZT 容量の連続波ヒステリシス測定結果の一例である。



(a) 高温保持試験.



(b) ヒステリシスシフト測定例.

図 2.11 高温保持によるインプリントの測定.

## 第2章 スパッタ装置の構成と強誘電体容量の評価法

連続波ヒステリシスから、ヒステリシスのシフト量の評価を行う。ヒステリシスのシフト量  $\Delta V_c$  は、抗電圧の変化量として、以下の式で定義する。

$$\Delta V_c = \frac{\Delta V_c^- + \Delta V_c^+}{2} \quad (2.8)$$

$\Delta V_c^-$ : 負の抗電圧のシフト量,

$\Delta V_c^+$ : 正の抗電圧のシフト量.

また、インプリントの程度を表す尺度として、5V 書き込み後、150 で 90 日間保持後の  $\Delta V_c$  を用いて、imprint rate を(2.9)式で定義する。

$$\frac{\Delta V_c}{V_c^{\text{ini}}} = \frac{\Delta V_c^- + \Delta V_c^+}{2V_c^{\text{ini}}} \quad (2.9)$$

$V_c^{\text{ini}}$ : 初期の抗電圧.

## 参考文献

- [1] C. B. Sawyer and C. H. Tower, *Phys. Rev.*, **35**, 269 (1930).
- [2] A. K. Tagantsev, I. Stolichnov, E. L. Colla, and N. Setter, *J. Appl. Phys.*, **90**, 1387 (2001).
- [3] J. H. Jang, K. H. Yoon, and H. J. Shin, *Appl. Phys. Lett.*, **73**, 1823 (1998).
- [4] E. L. Colla, S. Hong, D. V. Taylor, A. K. Tagantsev, N. Setter, and K. No, *Appl. Phys. Lett.*, **72**, 2763 (1998).
- [5] E. L. Colla, D. V. Taylor, A. K. Tagantsev, and N. Setter, *Appl. Phys. Lett.*, **72**, 2478 (1998).
- [6] X. Du and I. W. Chen, *Appl. Phys. Lett.*, **72**, 1923 (1998).
- [7] S. Sadashivan, S. Aggarwal, T. K. Song, R. Ramesh, J. T. Evans, Jr., B. A. Tuttle, W. L. Warren, and D. Dimos, *J. Appl. Phys.*, **83**, 2165 (1998).
- [8] S. Aggarwal, A. M. Dhote, R. Ramesh, W. L. Wallen, G. E. Pike, D. Dimos, M. V. Raymond, and J. T. Evans, Jr., *Appl. Phys. Lett.*, **69**, 2540 (1996).
- [9] W. L. Wallen, H. N. Al-Shareef, D. Dimos, B. A. Tuttle, and G. E. Pike, *Appl. Phys., Lett.*, **68**, 1681 (1996).
- [10] W. L. Wallen, D. Dimos, G. E. Pike, B. A. Tuttle, M. V. Raymond, R. Ramesh, and T. Evans, Jr., *Appl. Phys., Lett.*, **67**, 866 (1995).
- [11] D. Nagasawa and H. Nozawa, *Jpn. J. Appl. Phys.*, **38**, 5406 (1999).



## 第3章

# Ir-IrO<sub>2</sub>系電極のスパッタ堆積機構と薄膜物性

### 3.1 強誘電体容量の電極材料

#### 3.1.1 強誘電体容量の電極に要求される性質

強誘電体容量のプロセスには、高温の酸化雰囲気を用いる工程が多いため、電極材料には耐酸化性を有する金属や導電性酸化物、あるいは酸化しても導電性を有する材料が用いられる。[1-7] 耐酸化性を示す材料として、古くから貴金属である Pt がよく用いられてきた。Pt に代表される白金族元素（PGM; Platinum Group Metal）には、導電性酸化物を形成するものも多い。このため、ほとんどの白金族元素は、強誘電体容量の電極に求められる要求を満足する。ただし、容量特性の向上や LSI へのインテグレーションを考慮する場合には、さらに以下に示すような性質が求められる。

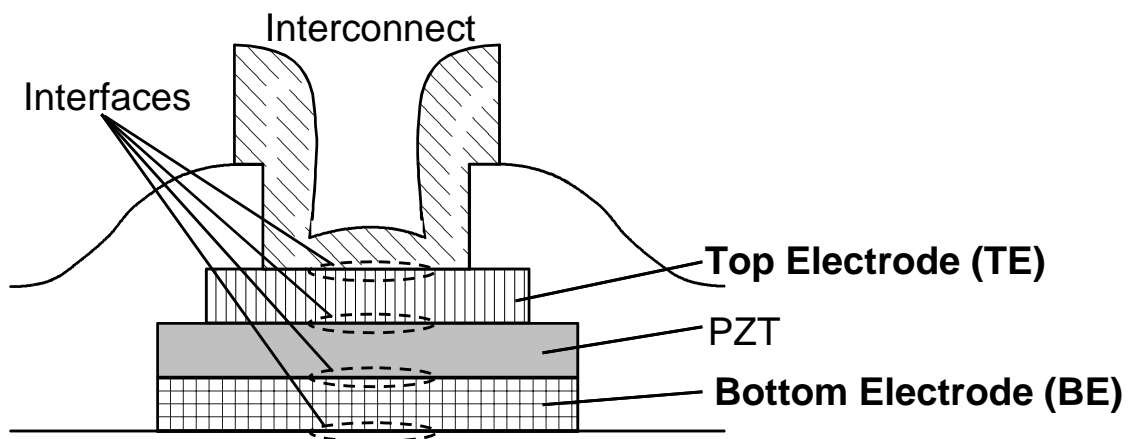


図 3.1 容量の電極が構成する 4 つの界面.

上下の電極には、図 3.1に示すように、それぞれ上面と下面の 2 つの界面が存在する。下部電極の下の界面は、下地（主に酸化膜）との密着性が重要な要素である。この部分には、通常は Ti などの密着金属を用いることで密着性を確保することが多い。下部電極の上の界面は、PZT を成膜する基板表面となるため、酸化雰囲気に対して安定である必要がある。この点では、耐酸化性金属もし

くは導電性酸化物が適している。しかし、下部電極を酸化物とすると、先に形成した密着膜を酸化してしまう可能性があるため、耐酸化性下部電極であることが望ましい。酸化物電極を用いる場合には、電極と金属密着膜の間に、さらに耐酸化性金属を挿入する必要がある。以上のような観点から、下部電極として Pt、密着膜として Ti が用いられることが多い。本研究でも、特に断らない限り、下部電極/密着膜として Pt/Ti を用いた。

上部電極の下部は、PZT と界面を形成する。上部電極/PZT 界面特性は、疲労特性に大きな影響を及ぼし、上部電極材料に酸化物電極を用いることで疲労耐性が飛躍的に向上する。[7-9] 上部電極の上部は、周辺回路と接続するための配線材料が接する。配線材料には、AlもしくはCuを主成分とする材料が用いられるが、配線材の下層には密着性やバリア性を確保するために、Ti や Ta あるいはその窒化物を挿入するのが一般的である。これらの材料は酸化耐性が弱いいため、酸化物電極を用いると、プロセス中の熱履歴によって、密着/バリア膜が酸化し、電気的な導通が確保できなくなる。したがって、高い疲労耐性と配線材との導通を確保するためには、金属/酸化物の積層膜を用いるのが効果的である。下層の酸化物に、導電性を有する貴金属酸化物を用い、上部の金属層にその貴金属材料を用いることで、その条件を満足することができる。このような観点から、本研究では、上部電極に Ir/IrO<sub>2</sub> 積層膜を用いることにした。

#### 3.1.2 Ir および IrO<sub>2</sub> 膜の性質

Ir は、原子番号 77、原子量 192.2 で、白金族元素の一つである。図 3.2(a)に示すような面心立方 (FCC) 構造をとり、外観は銀白色の固体で、密度は 22.5g/cm<sup>3</sup>、融点は 2410 、抵抗率は 5.3μΩcm、延性・展性に乏しく脆いという特徴を有する。熱的には極めて安定であり、王水を含む酸には侵されないが、溶融塩に侵される。空気中で熱すると 800 以上で IrO<sub>2</sub>を生じ、フッ素、塩素と加熱すると反応してハロゲン化物を生成する。純粋なイリジウムは、その熱的安定性を活用し、高温用坩堝に用いられることが多い。また、各種化学反応の触媒としての用途も広い。Ir-Pt (90%-10%) 合金は、かつてメータル原器として用いられていた。

IrO<sub>2</sub> は、Ir の 4 価の酸化物で、図 3.2(b)に示すようなルチル構造をとり、分子量は 224.2 である。外観は、黒褐色の固体で、密度は 11.7g/cm<sup>3</sup>、1070 で分解する。抵抗率は 30μΩcm と報告されており [10]、導電性酸化物である。本研究で上部電極に用いる IrO<sub>2</sub> は、スパッタ法で成膜する。FeRAM 容量の電極として IrO<sub>2</sub>を用いた報告はあるが、IrO<sub>2</sub>のスパッタ成膜やそのメカニズムに関する詳細な検討はほとんど行われていない。

酸化イリジウムは、腐食耐性が高いことを利用し、電気化学応用で用いられており、作製法も陽極酸化が主流であった[11-13]。1979 年に、Ir ターゲットを用いた反応性スパッタにより、酸化イリジウムが得られることが報告された。[14] スパッタ法による酸化イリジウム薄膜は、陽極酸化膜より腐食耐性に優れており、絶縁性の基板上にも形成可能であるため、電気化学的な観点からの興味を集めた。酸化イリジウム膜における電気化学的性質は、膜中の水分が重要な役割を果たしていることが分かっていたため、Ar/H<sub>2</sub>O[15]や Ar/H<sub>2</sub>/O<sub>2</sub> [16] で反応性スパッタを行うという研究も行われている。また、

電気化学応用を考えた場合には、表面積を広くすることが望ましいため、porosity の高い膜を得ることを目的とする研究もある。[17]

しかし、FeRAM 容量の電極応用を考えた場合には、緻密で水分を含まない膜であることが望まれる。1980 年代後半になって、Ar/O<sub>2</sub> ガスによる反応性スパッタに関する研究が盛んに行われるようになり、成膜条件と膜質の関係が議論されるようになった。[18,19] 薄膜の抵抗についての報告が行われたのもこの時期である。IrO<sub>2</sub> 薄膜の抵抗は、スパッタ条件にも依存するが、100μΩcm 台と報告されている。

本章では、Ir-IrO<sub>2</sub> 系のスパッタ成膜における、スパッタ条件と膜物性の関係を調査し、IrO<sub>2</sub> 薄膜のスパッタ堆積機構に関する考察を行った。また、その結果をもとに、Ir/IrO<sub>2</sub> 積層膜のスパッタプロセスの効率化を行った。さらに、IrO<sub>2</sub> スパッタ条件が PZT 容量特性に及ぼす影響を調べ、良好な容量特性が得られる条件の最適化を行った。

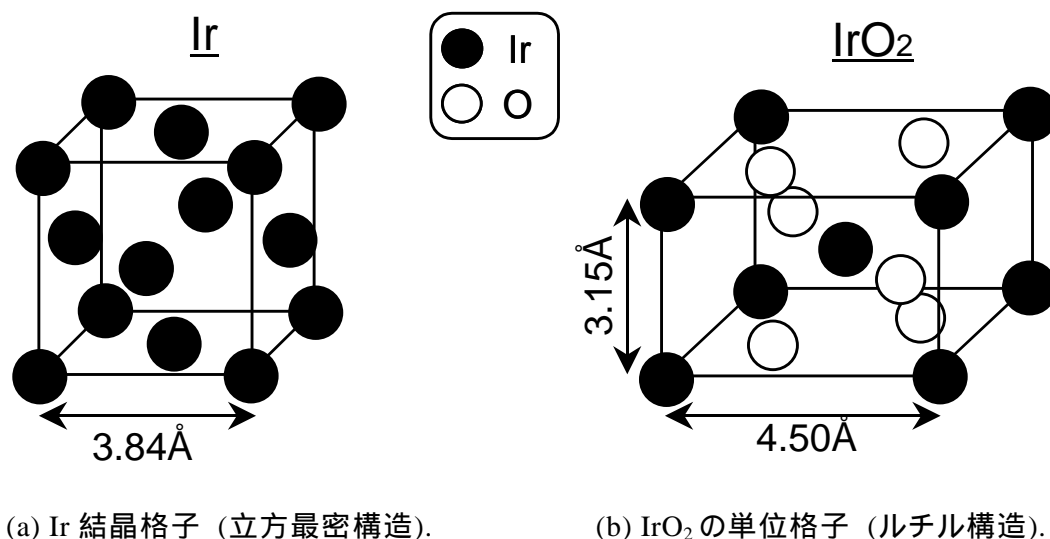


図 3.2 Ir および IrO<sub>2</sub> の結晶構造.

## 3.2 実験

Ir 系電極膜のスパッタに関する実験では、熱酸化膜を成長させた Si ウエハを基板として用いた。スパッタは、図 2.1 に示したマルチチャンバシステムの DC スパッタチャンバで行った。スパッタガスには、Ar、もしくは O<sub>2</sub> を 25% 混入させた Ar/O<sub>2</sub> 混合ガスを用いた。チャンバ内圧力を 9~21mTorr、DC パワーを 0.5 ~ 6.0kW の範囲で変化させた。基板加熱はガス加熱により行い、基板温度を 200 ~ 400 とした。膜の微細構造を、SEM で観察し、結晶構造の同定を XRD によって行った。膜の抵抗は、4 探針シート抵抗測定により評価した。成膜速度および抵抗率は、SEM 観察によって膜厚を測定して計算した。



Ir および IrO<sub>2</sub> の単層膜のスパッタに関する検討を行った後、上部電極応用を目的として Ir/IrO<sub>2</sub> 積層膜プロセスの検討を行った。続いて、実際に PZT 容量の上部電極に適用し、上部電極形成プロセスが容量特性に及ぼす影響を調べた。容量の試作は、図 2.6 に示した手順で行った。下部電極は Pt/Ti とし、PZT は Pb<sub>1.1</sub>Zr<sub>0.35</sub>Ti<sub>0.65</sub>O<sub>x</sub> ターゲットを用いて、スパッタ法とアニールによって形成した。(詳細は、第 4 章参照) PZT 成膜温度は 480℃、スパッタガスは Ar:O<sub>2</sub>=9:1、圧力は 5.7mTorr、RF パワーは 3kW、スパッタ時間は 345 秒で、膜厚は 200nm である。スパッタ後のアニールは、酸素雰囲気、600℃、10 分間行った。容量の評価に用いた Ir/IrO<sub>2</sub> 積層膜の膜厚は 150/50nm である。

### 3.3 Ir-IrO<sub>2</sub>系のスパッタリング成膜

#### 3.3.1 Ir-IrO<sub>2</sub>系スパッタの基礎特性

まず、スパッタガスが膜物性に及ぼす影響を調べた。ここでは、スパッタパワーを 1.0kW、基板温度を 400℃として実験を行った。図 3.3 に、酸素濃度を 25%とし、総圧力を変化させてスパッタした IrO<sub>x</sub> 膜の XRD スペクトルを示す。

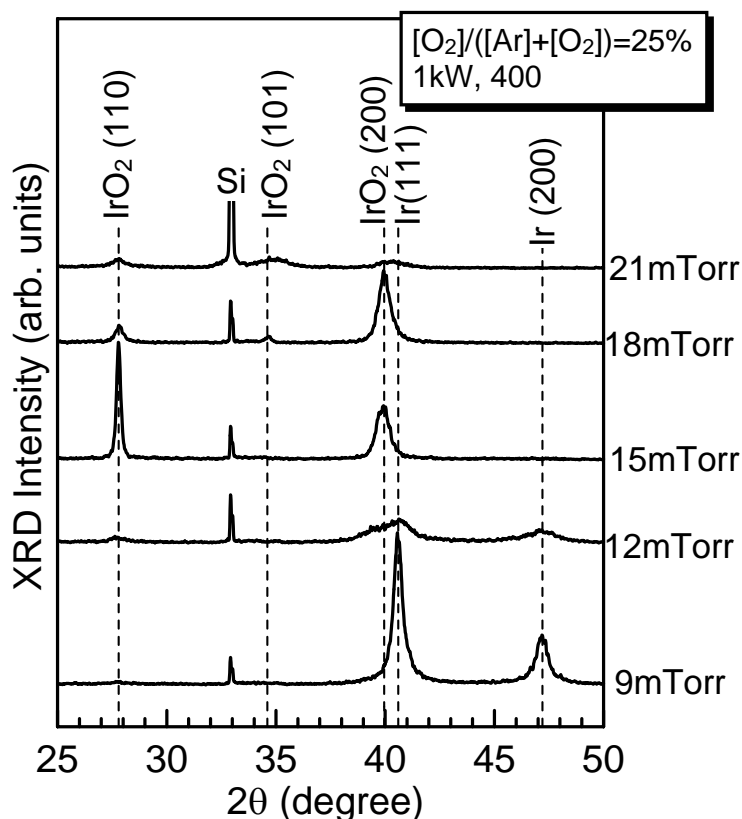
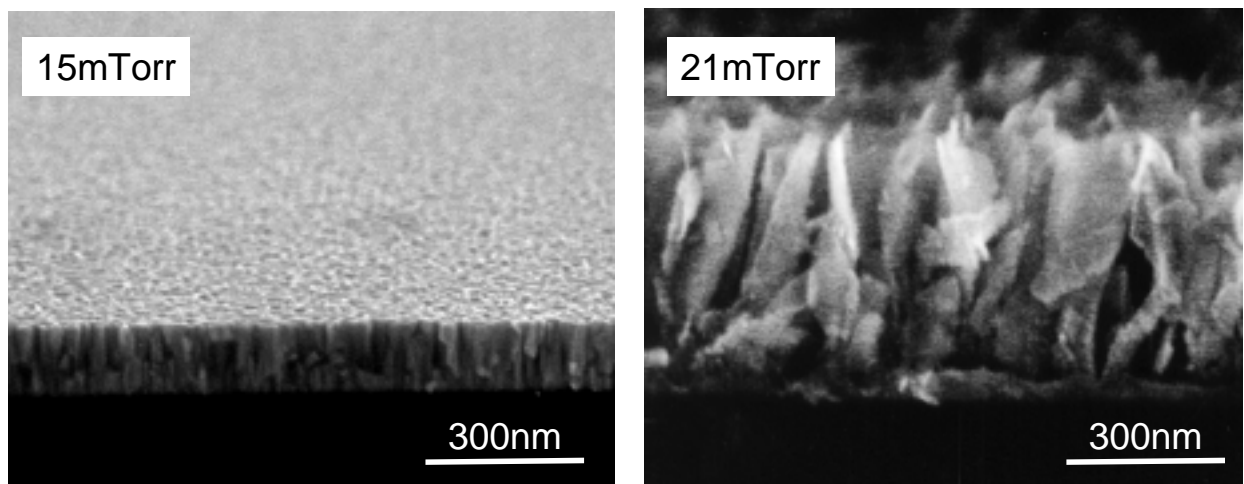


図 3.3 Ar/O<sub>2</sub> ガス圧力を変化させてスパッタした IrO<sub>x</sub> 膜の XRD スペクトル。

低圧の 9mTorr の場合には、Ir 金属相の単相膜が得られた。この条件では、反応ガスである酸素の供給が少ないため、Ir と十分な化合反応が起こらず、金属相が得られる。以下では、Ar/O<sub>2</sub> スパッタで、金属相が得られる場合のスパッタ膜を、Ar スパッタ膜と区別するため、Ir(O)と表記する。総圧力が 12mTorr まで上昇すると、明確な結晶相が見られ難くなり、極めてブロードな Ir と IrO<sub>2</sub> の回折ピークが観測される。この圧力では、反応ガスによる Ir の酸化が部分的に起こり、金属相と酸化物相の遷移領域となる。総圧力が 15mTorr になると、IrO<sub>2</sub> 単相膜が得られ、十分な酸化反応が起こっていることが分かる。さらに、圧力を増大させて 18mTorr になると、IrO<sub>2</sub> の配向が変化する様子が見られた。圧力を 21mTorr まで増大させると、結晶の回折ピークが認められなくなった。



(a) スパッタ圧力: 15mTorr.

(b) スパッタ圧力: 21mTorr.

図 3.4 IrO<sub>2</sub> 膜の微細構造 (400 $\times$ , Ar/O<sub>2</sub>=4/1, 1kW).

図 3.4に、15mTorr と 21mTorr で成膜した IrO<sub>2</sub> 膜の SEM 像を示す。観察した試料は、いずれも 60 秒間成膜したものである。15mTorr で成膜した試料は、グレインサイズ 20～40nm 程度の緻密な柱状構造となっているが、21mTorr で成膜した試料は、板状の構造で非常に疎な膜となっている。この膜は下地との密着性が悪く、軽く触れただけで剥がれ落ちるほどであった。

同じ時間成膜した試料であるにも関わらず、21mTorr で成膜した試料は、15mTorr で成膜した試料より、見かけの膜厚は 4 倍程度になっている。これは、同程度の原料が供給されたとしても、空隙を多く含む疎な膜が成膜されるため、実効的な膜厚が厚くなるためである。この膜は、図 3.3で示したように、明確な結晶構造を持っておらず、抵抗率も極端に大きかった。このような構造は、酸素が過剰な条件で得られることが報告されており[20]、表面積が大きいことから、電気化学的には有利な構造だとされている。しかし、LSI 応用においては、15mTorr で得られるような、平坦で密度の高い膜が望ましい。したがって、酸素供給量を適正にして、スパッタ成膜を行う必要がある。

図 3.5に、成膜速度と抵抗率のスパッタ圧力依存性を示す。図中には、XRD 測定より得られた結晶相を示している。成膜速度は、成膜圧力が上昇するに従って増加しているが、15mTorr を超えると飽和する傾向にある。抵抗率は、圧力が増大するに従って、単調に増加した。IrO<sub>2</sub> の相でも、スパッタ時の酸素濃度に依存して膜の抵抗率が変化する。

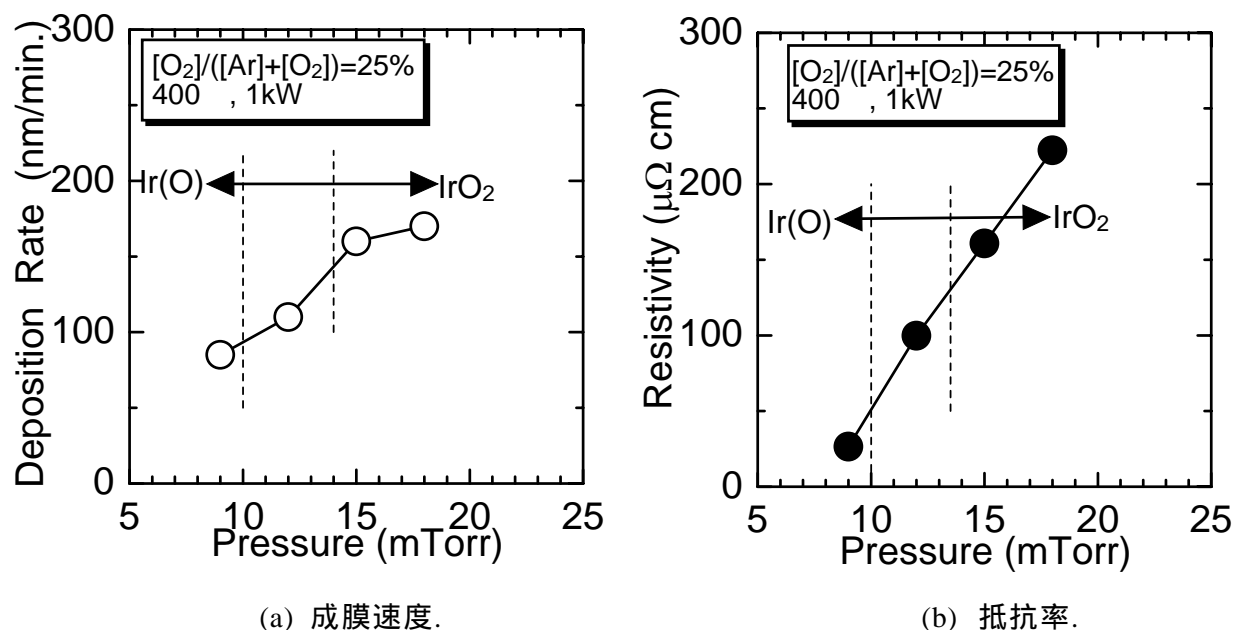


図 3.5 成膜速度と抵抗率のスパッタ圧力依存性.

図 3.6に、圧力を 15mTorr に固定し、DC パワーを変化させて成膜した膜の XRD スペクトルを示す。パワーが 0.5kW と低い場合には、IrO<sub>2</sub> のブロードなピークがあり、図 3.4(b)で示したような構造の膜が得られた。この条件では、DC パワーが低いため、相対的に酸素過剰条件となっており、図 3.4(b)に示すような膜となる。1.0kW になると、十分に酸化した IrO<sub>2</sub> 相の緻密な膜が得られる。さらに、パワーを上昇させ、1.5 ~ 2.0kW になると、IrO<sub>2</sub> ~ Ir(O)への遷移領域となり、ブロードなピークしか観測されなくなる。DC パワーが 3kW になると、IrO<sub>2</sub> 相が完全に消失し、Ir 相の明確なピークが観測されるようになる。

図 3.7に、成膜速度と抵抗率の DC パワー依存性を示す。DC パワーを上昇させていくと、1kW から 1.5kW の範囲では、パワーを増加させているにもかかわらず、成膜速度が低下するという特徴を示した。この領域では、DC パワーが増加すると、成膜される膜が、酸化物相である IrO<sub>2</sub> から金属相の Ir(O)へ遷移する領域である。DC パワーが 2kW 以上になると、成膜速度は単調増加し、ほぼ DC パワーに比例する。1.5kW で成膜速度が極小を示すメカニズムについては、後で詳細に考察する。抵抗率は、DC パワーが増加し、酸化物相から金属相へ変化していくと同時に単調減少し、高パワー領域で飽和する傾向が見られた。

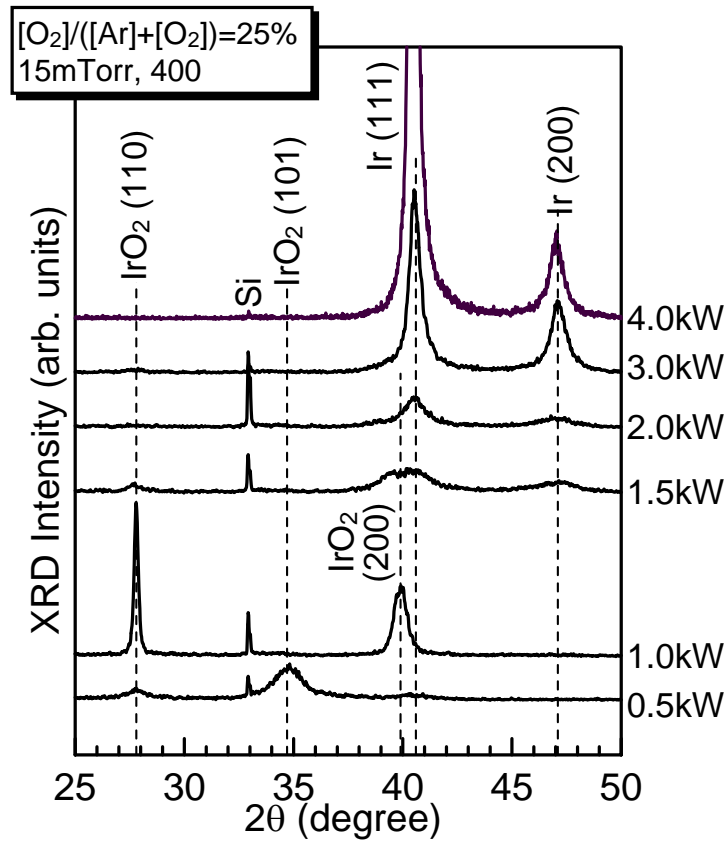
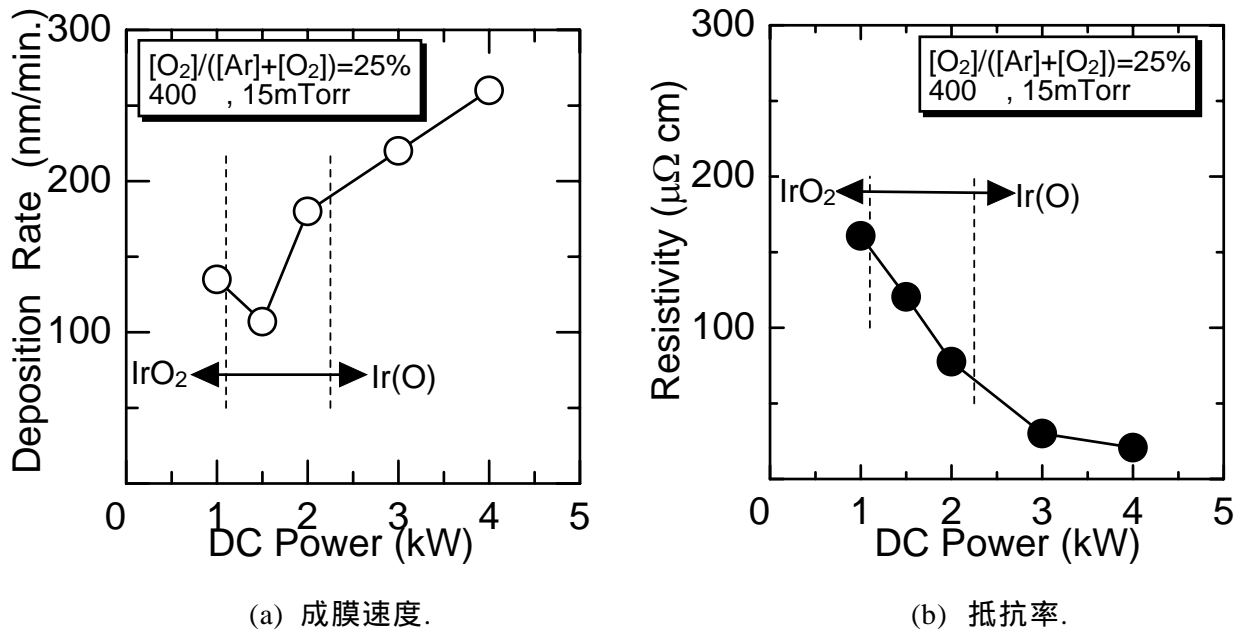
図 3.6 スパッタパワーを変化させて成膜した IrO<sub>x</sub> 膜の XRD スペクトル.

図 3.7 成膜速度と抵抗率の DC パワー依存性.

### 3.3.2 Ir-IrO<sub>2</sub>系薄膜のスパッタ堆積機構

反応性スパッタは、ターゲット材料と反応性ガスの反応生成物が基板上に堆積されるスパッタ法である。この反応が起こる可能性として次の三通りが考えられる。

1. ターゲット表面での反応
2. プラズマ中での反応
3. 基板表面での反応

この中で、2 は、プラズマ中での粒子同士の衝突によって起こる。しかし、粒子同士の衝突は、結合のみならず、結合した粒子の解離をも引き起こす。また、衝突確率が大きい（高圧）と、散乱が大きくなり、基板上にスパッタ粒子が到達し難くなり、成膜そのものが起こりにくくなる。したがって、スパッタ成膜が進行する状態では、プラズマ中での反応はほとんど起こらないと考えてよい。

次に、1 のターゲット表面での反応について述べる。ターゲット表面で反応が起こっていることは、反応性ガスの圧力を上昇させていくと、ある圧力で成膜速度が極端に遅くなることから説明された。[21-23] 反応性ガス圧の上昇に従って、ターゲット表面で化合物が形成され、化合物のスパッタとターゲット材料そのもののスパッタが並行して起こるようになる。さらに反応ガス圧が上がるとターゲット表面が全て化合物となり、化合物のスパッタのみで成膜が進行する。通常、単体よりも化合物の方がスパッタレートは大幅に小さくなる。このため、十分な反応性ガスが供給され、ターゲット表面が定常的に化合物となってスパッタが進行する場合には、成膜速度が小さくなる。反応性ガス圧があるしきい値を超えると、突然成膜速度が低下する傾向は、Ti の反応性スパッタによる TiO<sub>2</sub> や TiN の成膜に代表されるように、多くの材料で見られる。[21-24] したがって、反応性スパッタの「反応」は、ターゲット表面で起こっていると考えるのが一般的になっている。

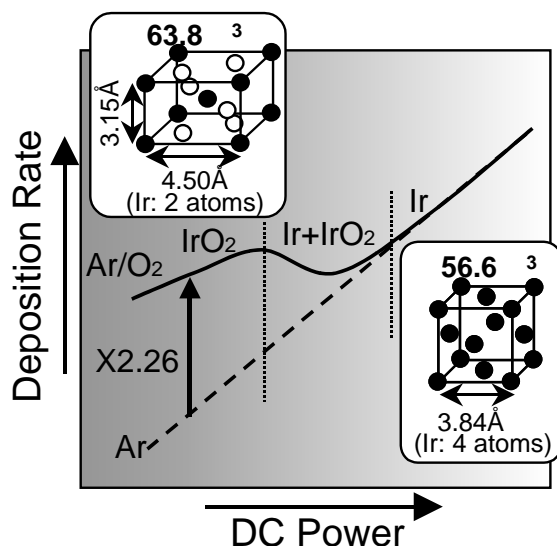
IrO<sub>2</sub> ターゲットを用いたスパッタでも、同条件で Ir ターゲットをスパッタした場合と比較すると、レートが極端に遅くなると言う報告がある[25]。このことから、Ir 系においても、ターゲット表面が反応性ガスによって酸化し、酸化物がスパッタされるという機構であれば、酸化物膜が得られる場合の成膜速度は、金属膜が得られる場合よりも小さくなるはずである。

ところが、今回行った IrO<sub>2</sub> の成膜では、反応性ガスである酸素分圧の上昇とともに得られる膜は Ir 単体の膜から IrO<sub>2</sub> 膜へと変化するが、図 3.5 で示したように成膜速度は単調増加している。この結果からは、上で述べたような、化合物の成膜で成膜速度が減少するという理論が成り立たない。このことから、Ir ターゲットを用いた IrO<sub>2</sub> の成膜においては、ターゲット表面での酸化反応が起こっていないことになる。ターゲット表面が変質しなければ、スパッタレートはガス圧に大きく依存しなくなる。そこで、酸素分圧の上昇に伴う成膜速度の上昇を以下のように考察した。

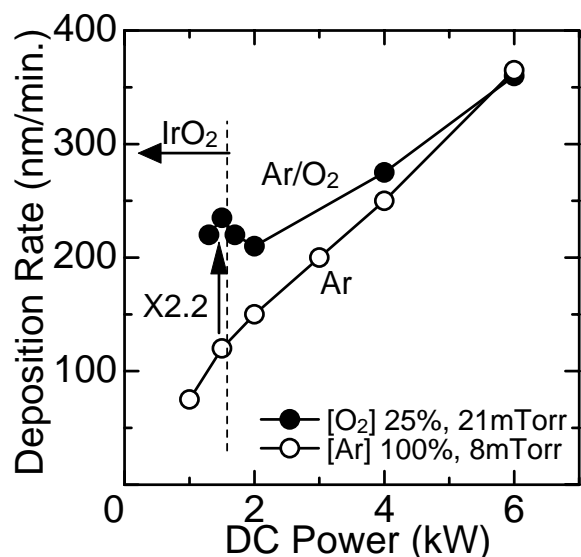
Ar/O<sub>2</sub> ガスで、Ir ターゲットをスパッタする場合、Ir 単原子が Ir(O)膜を作る場合と、IrO<sub>2</sub> を作る場合では、得られる膜の体積が異なる。Ir の単位格子は、図 3.2(a)で示すように、Ir 原子 4 個から構成され、その体積は  $3.84^3=56.6$  である。一方、これと同数の Ir 原子 4 原子を有する IrO<sub>2</sub> 結晶は、単位格子 2 個に相当する（図 3.2(b)参照）ので、その体積は  $2 \times 4.50^2 \times 3.15=128$  となる。すなわち、同数の Ir 原子が供給されたときに形成される IrO<sub>2</sub> 膜の体積は、Ir 膜の 2.26 倍となる。成膜時には、

Ir 原子が供給される基板上的面積は等しいので、単純に考えれば IrO<sub>2</sub> が形成されるときは Ir が形成されるときに 2.26 倍の成膜速度が得られるはずである。図 3.5 から、1 kW で IrO<sub>2</sub> が成膜されるとき (15 ~ 18 mTorr) の成膜速度は 160 ~ 170 nm/min. である。Ar スパッタによる Ir スパッタの成膜速度は、1 kW で 75 nm/min. であることが分かっている。すなわち、反応性スパッタにより IrO<sub>2</sub> が得られる場合の成膜速度は、2.1 ~ 2.3 倍となっており、上記の考察が妥当であることを裏付けている。

以上の考察に基づいて、スパッタ速度の DC パワー依存性についての解析を進める。図 3.8(a) に、IrO<sub>x</sub> 膜における成膜速度の DC パワー依存性の概念図と、詳細に評価した実験結果を示す。高パワー領域では、Ir の供給量が過剰となり、反応ガスである酸素の供給が相対的に不足する。このため、十分な反応が起こらず、Ir 金属相が得られる。この領域における成膜速度は、スパッタガス条件には依存せず、DC パワーによってのみ決定される。したがって、Ar/O<sub>2</sub> スパッタと Ar スパッタで成膜速度に差は見られない。パワーを下げていくと、Ar/O<sub>2</sub> スパッタの場合には、膜中に IrO<sub>2</sub> が混在し始めるため、膜体積が増加し、成膜速度は Ar スパッタの場合よりも速くなる。さらに、パワーを低下させると、IrO<sub>2</sub> 単相膜へと変化していく。このとき、パワーが低下するにも関わらず、成膜速度が上昇する領域が存在する。これは、DC パワー低下による Ir 供給量減少が、反応による IrO<sub>2</sub> 膜の形成を促進し、成膜される膜の体積が増加することに起因している。さらにパワーを低下させると、成膜速度はピークに達し、パワーの低下に伴って成膜速度が減少する領域となる。この領域では、反応に必要な酸素は相対的に十分存在し、Ir 原料の供給律速で成膜速度が決定される。Ar/O<sub>2</sub> スパッタによって IrO<sub>2</sub> が成膜される場合の成膜速度は、Ar スパッタによって Ir が成膜される場合の 2.26 倍となることが予想される。



(a) 考察に基づく概念図.



(b) 実験結果.

図 3.8 IrO<sub>x</sub> の成膜速度の DC パワー依存性.

図 3.8(b)は、この傾向を実験によって検証した結果である。酸素濃度 25%の Ar/O<sub>2</sub> ガス圧力を 21mTorr とし、Ir と IrO<sub>2</sub> の遷移領域の DC パワー依存性を詳細に評価した。合わせて、Ar スパッタの結果も示している。概ね、図 3.8(a)で示した傾向に従っており、IrO<sub>2</sub> が成膜される領域での、Ar スパッタとの成膜速度比は、2.2 倍程度になっていた。

図 3.9に、IrO<sub>x</sub> 成膜特性に DC パワーが及ぼす影響をまとめる。高パワー時には、Ir ターゲットから供給される Ir フラックスが、ガスとして供給される酸素に対して、相対的に大きい。このため、酸化反応が十分に起こらず、金属相である Ir(O)が成膜される。一方、低パワー時には、Ir ターゲットからの Ir フラックスが、酸素の供給と比較して相対的に小さく、酸化反応が十分に起こって IrO<sub>2</sub> 膜が得られる。図の右欄に示した、積層膜の成膜については、3.4.1で述べるパワースイング法を示したものである。

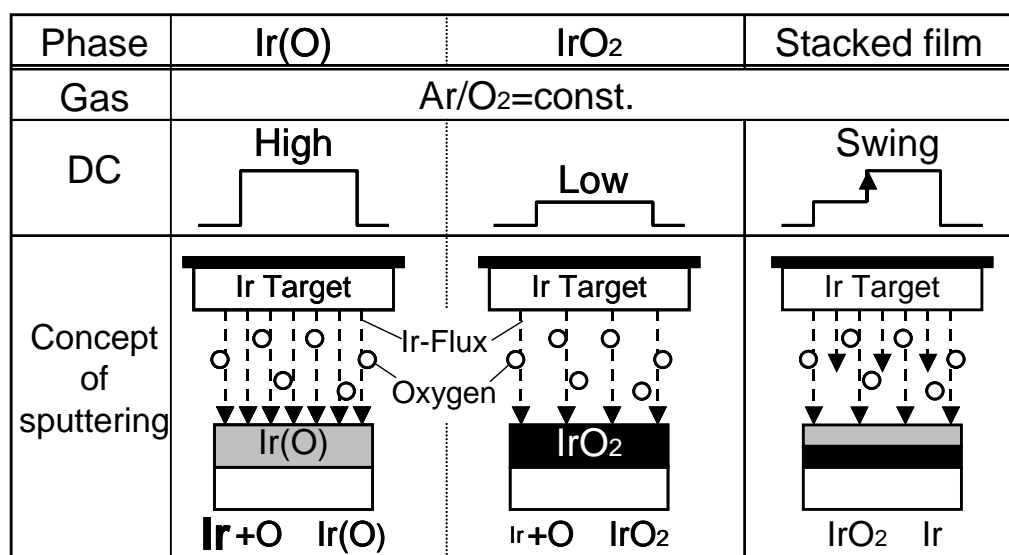


図 3.9 IrO<sub>x</sub> 成膜特性における DC パワーの影響。

以上の考察の結果、IrO<sub>x</sub> のスパッタ成膜においては、DC パワーによる Ir 原料の供給と、酸素分圧による酸素原料の供給によって、得られる膜の相が決定されることが分かった。酸素供給量が増加してもターゲット表面が変質してスパッタレートに変動をきたすようなメカニズムは働かないため、Ir 原料の供給は DC パワーによって一意的に決定される。ターゲット表面が常に安定な金属状態であるために、成膜特性にヒステリシス [21] が見られることも無く、再現性に優れた成膜を行うことが可能である。

図 3.10に、横軸に Ir フラックス、縦軸に酸素分圧をとって、Ar/O<sub>2</sub> スパッタによって得られる結晶相をプロットしたグラフを示す。Ar のみでスパッタしたときに得られる膜の密度が単結晶と等しく 22.5 g/cm<sup>3</sup> であると仮定すれば、成膜速度から、単位面積・時間あたりに基板表面に飛来するイリジウム原子数 (Ir フラックス) が算出できる。図 3.8(b)で示したように、成膜速度と DC パワーは比例関係に

あることから、DC パワーをイリジウムフラックスに換算することが可能である。本実験で得られた、DC パワー  $P$  とイリジウムフラックス  $\phi_{Ir}$  の関係は、 $\phi_{Ir} = (7.2P + 1.8) \times 10^{15} \text{ atoms/cm}^2 \cdot \text{sec}$  であった。このようにして得られた Ir フラックスを図 3.10 の横軸（下軸）としてプロットしており、上軸に DC パワーを示している。得られる結晶は、図に示すように大きく 3 つの領域に分かれた。高 Ir 供給、低酸素供給では Ir 金属相の膜となり、低 Ir 供給、高酸素供給では IrO<sub>2</sub> 酸化物相の膜となった。両者の中間では、Ir 金属と IrO<sub>2</sub> の遷移相となった。この図から、Ir フラックスと酸素分圧を適当に調節することとで所望の相の膜を得ることが可能であることが分かる。例えば、IrO<sub>2</sub> 膜を得るためには、Ir フラックス/酸素分圧比が  $2 \sim 3 \times 10^{15} \text{ atoms/cm}^2 \cdot \text{sec} \cdot \text{mTorr}$  以下となるようにすればよい。

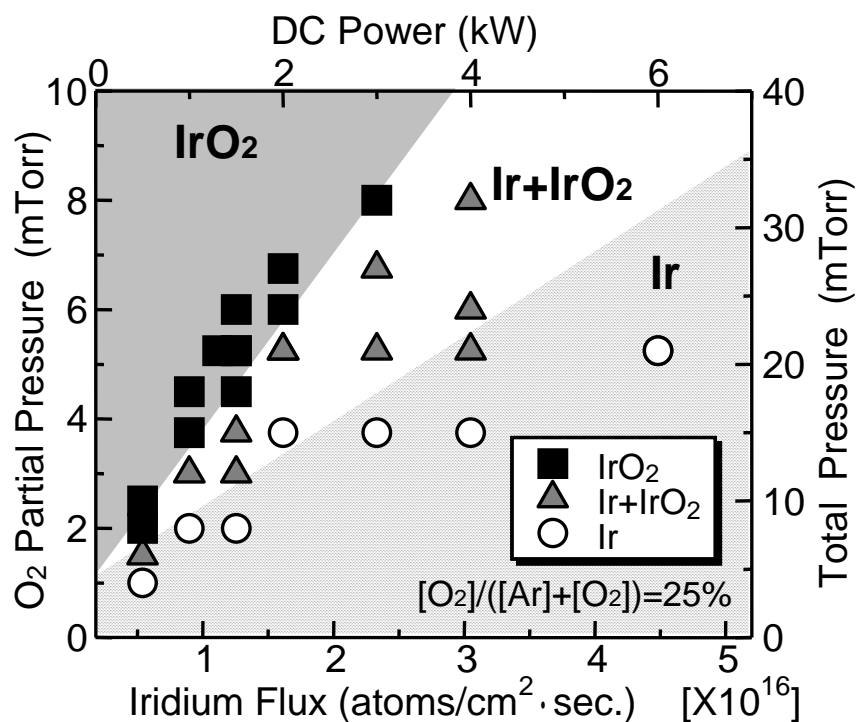


図 3.10 Ir-IrO<sub>2</sub> スパッタ系の相図.

### 3.3.3 Ir、Ir(O)、IrO<sub>2</sub> 膜の特徴

Ar のみでスパッタした Ir 金属相、Ar/O<sub>2</sub> でスパッタした Ir 金属相 (Ir(O))、および IrO<sub>2</sub> 酸化物相の各種電極膜について、その物性評価を行った。スパッタ時の基板温度は全て 300 °C とした。Ir は Ar のみ、Ir(O)は Ar/O<sub>2</sub>=1/1、8mTorr、3kW でスパッタした。IrO<sub>2</sub> は、Ar/O<sub>2</sub>=1/1、8mTorr (Ir(O)と同じ条件) で、DC パワーを 0.5kW としてスパッタした。

図 3.11に、XRD スペクトルを示す。Ir と Ir(O)は、ともに Ir 金属相の単相膜となっているが、Ir(O)ではその回折ピーク強度が小さくなっていることが特徴的である。不純物である酸素の存在によ



って、グレインサイズが小さくなることが要因として考えられる。IrO<sub>2</sub> では、Ir の混在が見られない単相の酸化物となっていることが分かる。

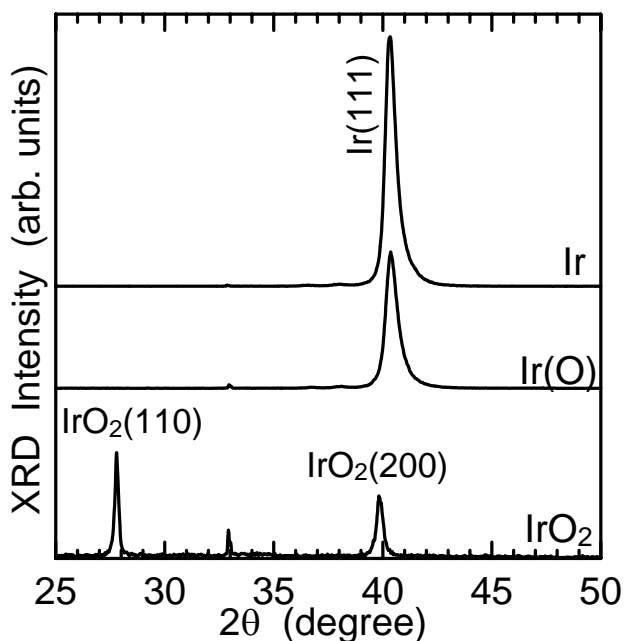


図 3.11 各種電極膜の XRD スペクトル.

図 3.12に、SIMS (Secondary Ion Mass Spectrometry) の測定結果を示す。分析したサンプルは、Ir/IrO<sub>2</sub> 積層膜と Ir(O)単層膜で、SiO<sub>2</sub>/Si 基板上に成膜した。Ir/IrO<sub>2</sub> 積層膜の Ir の部分では、酸素が全く検出されず、純粋な Ir 金属であることが分かる。一方、IrO<sub>2</sub> の領域では、酸素のカウント数が急増すると同時に、Ir の信号強度が減少している様子が見られる。SIMS 分析には、主成分元素の構成によって二次イオン強度が変動するマトリクス効果があるため、Ir 中と IrO<sub>2</sub> 中で、信号強度を直接比較することはできない。この分析から言えることは、Ir 中には酸素は存在せず、IrO<sub>2</sub> 中には多量の酸素が含有されているということである。Ir(O)膜中では、Ir のカウント数が Ir 膜中と同程度であることから、Ir を主成分とするマトリクスであることが分かる。また、膜中には、均一に酸素が分布していることが確認できる。

図 3.13に、AFM (Atomic Force Microscope) 観察像と観察結果から抽出した表面ラフネスを示す。(a)の Ir は、多結晶ではあるが、表面ラフネスは ±1nm 程度と比較的平坦な表面となっている。これに対して、酸素含有 Ir である Ir(O)の表面は、±2nm 程度のラフネスが見られた。また、酸化物相である IrO<sub>2</sub> も Ir(O)と同程度のラフネスであることが分かる。以上のように、Ir(O)や IrO<sub>2</sub> の表面ラフネスは、Ir の2倍程度見られることが分かった。AFM 分析を行ったサンプルの膜厚は 100nm であるので、そのラフネスは 2~4% 程度であり、膜全体からみれば、ほぼ平坦な膜であるといえる。

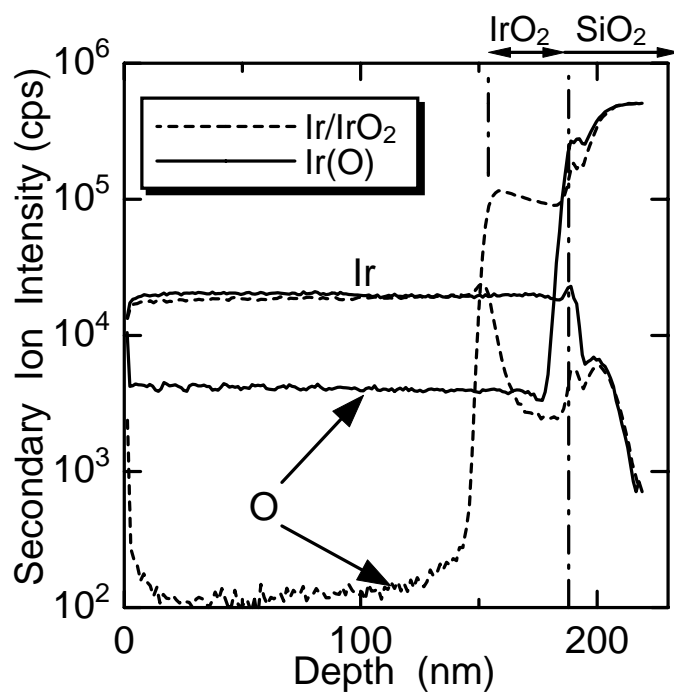


図 3.12 各種電極膜の SIMS 分析結果.

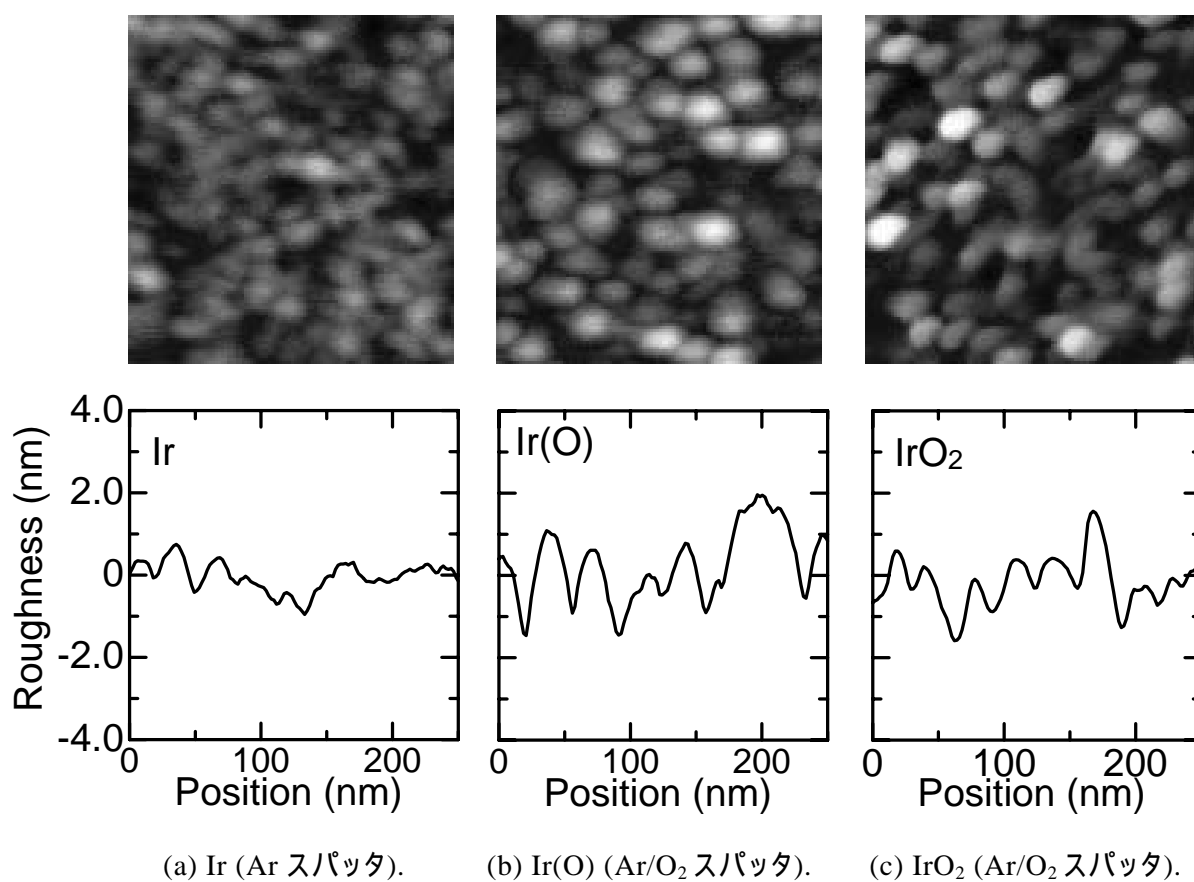


図 3.13 各種電極膜の AFM 像と表面ラフネス.

次に、各電極膜の熱的安定性を調べる目的で、TDS (Thermal Desorption Spectrometry) による脱ガス分析を行った。50 /min.で昇温し、脱離ガスの質量数を QMAS (Quadrupole Mass Analysis) で分析している。吸着している水分と考えられるガス成分を除くと、質量数 16 や 32 の酸素の脱離が特徴的であった。図 3.14に、質量数 32 の TDS スペクトルを示す。IrO<sub>2</sub> では、300 を超えると酸素の脱離が見られるが、Ir(O)では 600 付近でわずかな酸素の脱離が見られるようになる。このように、IrO<sub>2</sub> は熱的には不安定で、真空中では 300 以上で分解し、酸素を放出することが分かった。これに対して、Ir(O)中の酸素は熱的には安定であることが分かる。

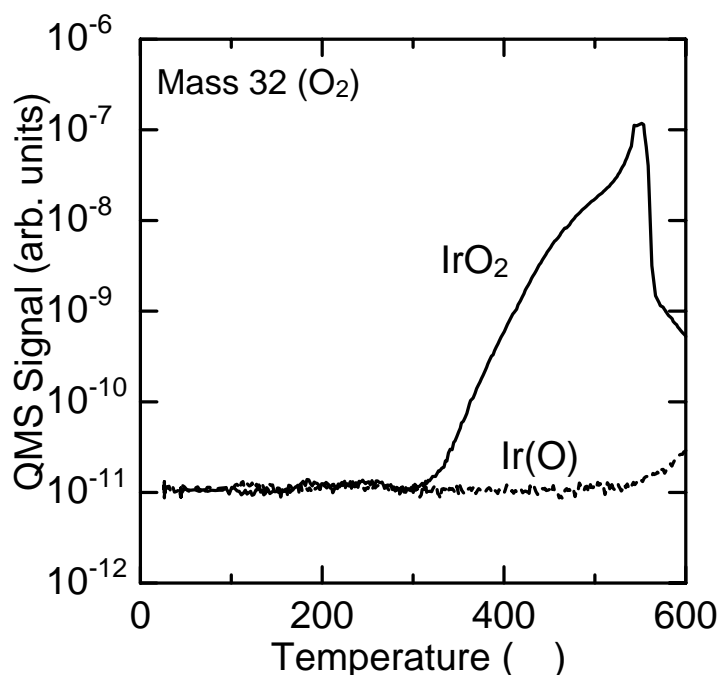


図 3.14 Ir(O)および IrO<sub>2</sub> 膜の TDS スペクトル.

## 3.4 PZT 容量の上部電極用 Ir/IrO<sub>2</sub> 積層膜プロセス

### 3.4.1 パワースイングスパッタ法

3.1.1で述べたように、上部電極として酸化物電極を用いる場合には、酸化物電極上部に耐酸化性金属電極を配置する必要がある。これは、上部電極にコンタクトする配線材料の酸化を抑えることが目的である。酸化物電極として IrO<sub>2</sub> を採用した場合には、Ir メタルを上層に置くことで所望の構造が実現できる。したがって、Ir/IrO<sub>2</sub> 積層膜が上部電極として用いられる。

3.3.2で述べたように、Ar/O<sub>2</sub> ガスを用いた場合、その酸素分圧と DC パワーを調整することで Ir 相 (Ir(O)も含む) と IrO<sub>2</sub> 相を得ることができる。また、ターゲット表面の状態は、スパッタ条件に影響

を受けることなく、常に金属状態となっているため、条件の変動によって急峻に膜質を変化させることが可能である。したがって、同一チャンバ内で、連続したプロセスにより Ir/IrO<sub>2</sub> 積層膜を成膜することが可能となる。しかし、成膜中にガス流量を変化させる場合、ガス流量を調整するマスフローコントローラからチャンバまでの配管長の影響で、積層膜の急峻性が損なわれる。そこで、ガス条件を一定とし、図 3.8の右欄に示したように、スパッタ成膜中に DC パワーを変動させて、積層膜を得るプロセスを検討した。この手法を、本論文ではパワースィングスパッタと呼んでいる。

図 3.15に、パワースィングスパッタの概念と Ir(O)/IrO<sub>2</sub> 積層膜の成膜結果を示す。O<sub>2</sub> 濃度 ([O<sub>2</sub>]/([Ar]+[O<sub>2</sub>])) 25%、15mTorr とし、初期に低パワーの 1.0kW で IrO<sub>2</sub> を成膜し、引き続きパワーを 6.0kW まで上昇させて Ir(O)膜を成膜した。IrO<sub>2</sub> 成膜を 20 秒間、Ir(O)の成膜を 35 秒間行うことで、150/50nm の積層膜を得た。SEM 観察像から、狙った膜厚通りの二層構造となっており、XRD から Ir および IrO<sub>2</sub> の回折ピークが観測される。以上のように、Ir 系で金属相/酸化物相の積層膜を、同一チャンバで連続的に成膜可能であることは、低コスト・高スループットプロセスとして応用可能である。

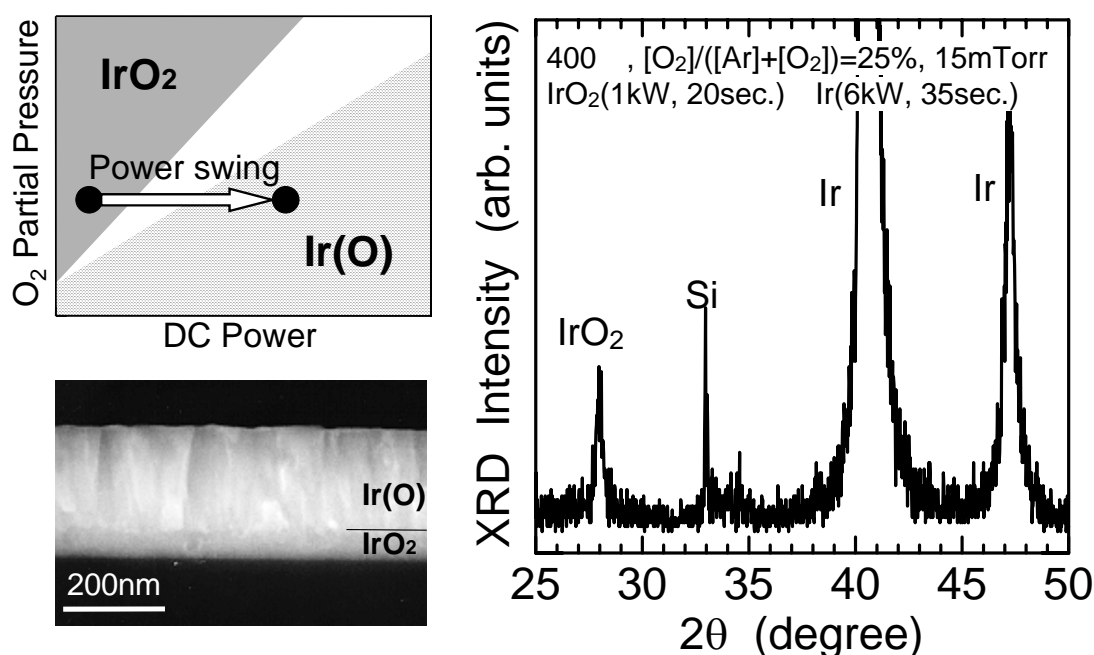


図 3.15 パワースィングスパッタの概念と Ir/IrO<sub>2</sub> 積層膜。

### 3.4.2 上部電極コンタクト抵抗

金属相/酸化物相の積層上部電極における上層部となる Ir(O)は、膜中に酸素を含んでいるため、コンタクト部における配線の酸化による接続不良が懸念される。そこで、この積層電極上に実際にコンタクトと配線を形成して、コンタクト抵抗を測定し、本積層電極の有効性を評価した。

図 3.16に、コンタクト抵抗測定結果を示す。図中には、測定に用いたコンタクトチェーンの構造も示している。2つのコンタクトを有する上部電極をAl配線で直列接続した構造をしている。コンタクトが直列に1000個繋がったコンタクトチェーンのI-V特性を測定し、その傾きから抵抗を求めた。グラフには、得られた結果を直列コンタクト数1000で割った、1コンタクトあたりの抵抗を示している。測定は、ウエハ面内52点で行っている。図中には、酸化耐性の高いPt電極上のコンタクト抵抗の測定結果も合わせて示している。

Ir(O)上部電極のコンタクト抵抗は、2.5Ω程度で面内における均一性は良好であることが分かる。通常、酸化反応等によりコンタクト不良が発生する場合には、数十～kΩオーダーに達することが多く、場合によっては完全にオープン不良となる。今回測定したコンタクト抵抗は、Pt電極上のコンタクトと同程度であり、良好な面内均一性を有していることから、配線材の酸化による変質は全く起こっていないと考えられる。図 3.14でも示したように、Ir(O)電極中の酸素は、熱的に極めて安定であるため、配線材に影響を及ぼさないことが示された。

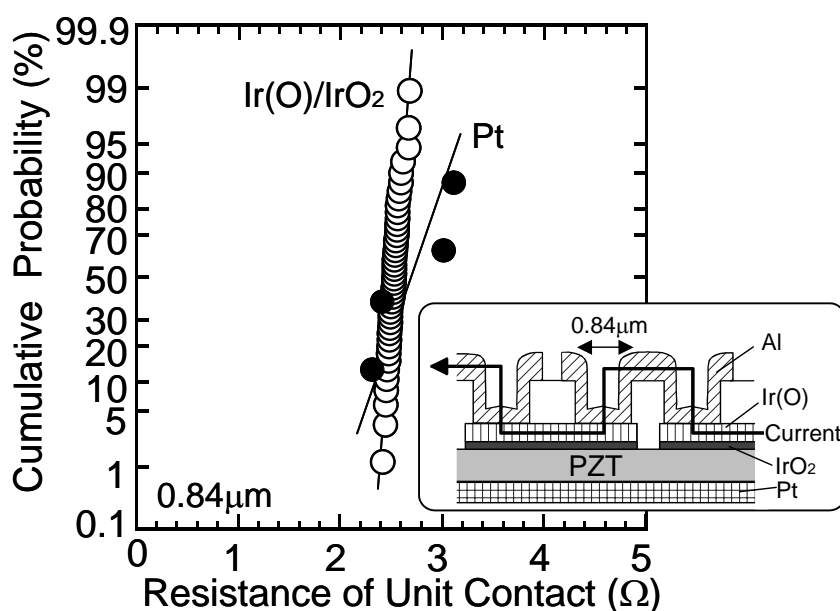


図 3.16 Ir(O)/IrO<sub>2</sub> 上部電極のコンタクト抵抗.

### 3.4.3 上部電極スパッタプロセスの低ダメージ化

上部電極はPZT表面に直接成膜するため、上部電極/PZT界面物性は、上部電極スパッタ条件に大きく依存することが予想される。上部電極/PZT界面特性は、言うまでもなくPZT容量特性を支配する大きな要因となっている。このため、上部電極のプロセス制御は、PZT容量特性を向上させる上で極めて重要な課題である。

表 3-1に、上部電極プロセス検討実験の条件一覧を示す。プロセス#A および#B は、 $\text{IrO}_2$ スパッタ時の酸素分圧を 3.7mTorr とした場合である。一方、#C および#D は、 $\text{IrO}_2$ スパッタ時の酸素分圧を 5.2mTorr まで高めた場合である。また、プロセス#B と#D は、パワースィングスパッタによって  $\text{Ir(O)}/\text{IrO}_2$  積層膜を形成した場合であり、#A および#C は、上層の金属相を Ar のみでスパッタした  $\text{Ir}/\text{IrO}_2$  積層膜を形成した場合である。いずれのガス条件においても、成膜温度として 200 および 400 の 2 条件で成膜しており、合計 8 条件の実験を行った。

表 3-1 上部電極プロセスの検討実験.

Process #	Low $P_{\text{ox}}$ for $\text{IrO}_2$ -sputt.				High $P_{\text{ox}}$ for $\text{IrO}_2$ -sputt.			
	A		B		C		D	
	$\text{IrO}_2$	Ir	$\text{IrO}_2$	Ir	$\text{IrO}_2$	Ir	$\text{IrO}_2$	Ir
$P_{\text{ox}}$ (mTorr)	3.7	0	3.7		5.2	0	5.2	
DC (kW)	1.0	4.0	1.0	4.0	1.5	4.0	1.5	4.0
Thickness (nm)	50	150	50	150	50	150	50	150
Note	-		Power swing		-		Power swing	

成膜温度: 200 or 400

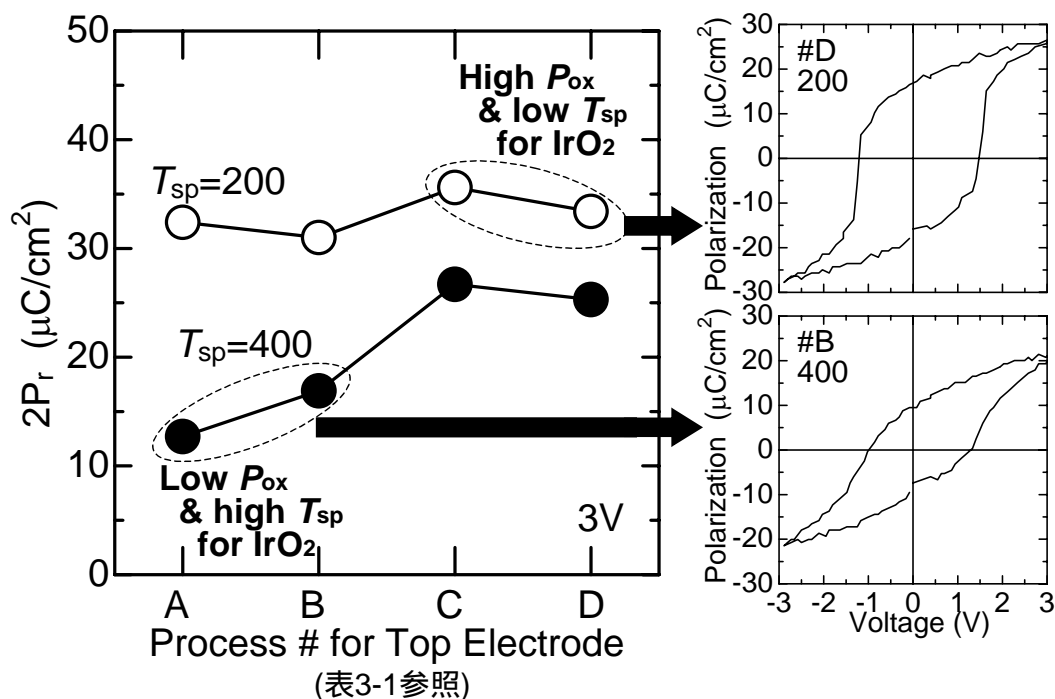
図 3.17 残留分極  $2P_r$  およびヒステリシス特性の上部電極プロセス依存性.

図 3.17に、ヒステリシス特性、および残留分極  $2P_r$  の上部電極スパッタ条件依存性を示す。まず、上部電極成膜温度依存性を見てみると、成膜温度が低い方で残留分極が大きくなっている。続いて、IrO<sub>2</sub>スパッタ時の酸素分圧に着目すると、高酸素分圧側で残留分極が大きくなっている。また、容量特性は、上部電極積層膜の上層にあたる金属相のスパッタ条件には依存しない。したがって、パワースイング法による上部電極スパッタは、容量特性に影響を及ぼさないことが分かる。ヒステリシスループの形状は、残留分極が大きくなる高酸素分圧かつ低温成膜の場合に、良好な矩形性を示している。一方、上部電極を低酸素分圧かつ高温で成膜すると、飽和性が悪化していることが分かる。

低温・高酸素分圧下での上部電極スパッタで容量特性が向上した要因について考察を行う。図 3.18に、上部電極スパッタプロセスが、PZT 表面に与える影響の模式図を示す。上部電極が成膜される直前は、PZT 表面が、真空中のプラズマに曝される。真空中で高温に加熱されると、還元によって PZT 表面に酸素欠陥が導入される。さらに、Ar プラズマの照射によって、この還元性ダメージは促進される。スパッタ雰囲気中に酸素を導入すると、還元性ダメージが抑制されると同時に、電極である IrO<sub>2</sub> の反応性スパッタが進行する。

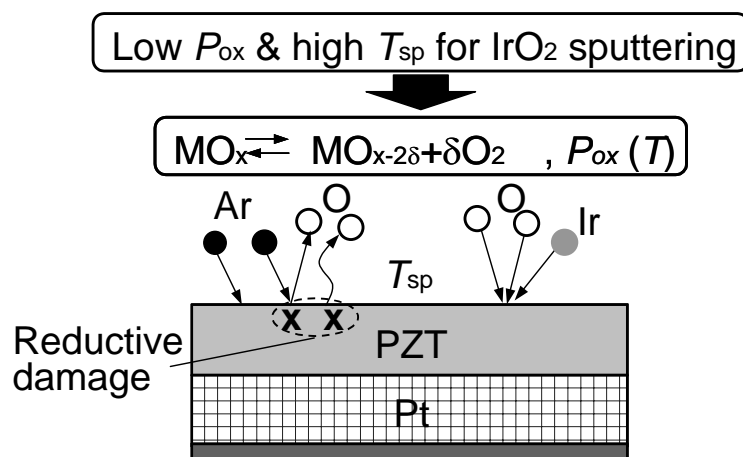


図 3.18 上部電極スパッタプロセスによる容量へのダメージ.

### 3.5 本章のまとめ

本章では、Ir ターゲットと Ar/O<sub>2</sub> を用いたスパッタリング成膜において、そのスパッタ堆積機構について検討し、PZT 容量の上部電極プロセスとしての最適化を行った。

成膜速度の詳細な検討結果から、Ar/O<sub>2</sub> ガスで Ir ターゲットをスパッタする場合、ターゲット表面での化合は全く生じず、ターゲットの表面状態は安定した金属状態であることが分かった。したがって、ターゲットからはスパッタ条件に依存せず Ir のみが生産され、その Ir フラックスは、DC パワーのみで決定される。基板上に、酸化物相である IrO<sub>2</sub> が成膜される場合には、Ir フラックスが等しい条件で金

属相である Ir が成膜される場合の約 2.2 倍の成膜速度で成膜される。これは、Ir 原子 1 個が占める格子の体積比に相当している。

Ar/O<sub>2</sub> ガスを導入して高パワーでスパッタ成膜した金属相 (Ir(O)) は、膜中に酸素が含有されている。しかし、600 °C 以下では、その酸素は安定に膜中に存在している。一方、酸化物相である IrO<sub>2</sub> は、300 °C 以上の熱処理で分解する傾向にある。Ir(O)や IrO<sub>2</sub> は、表面のラフネスが ±2nm 程度あり、Ir (Ar のみでスパッタした場合) の 2 倍程度であった。

Ir ターゲット表面は、スパッタ条件に依存せず安定であるため、プロセス中に DC パワーを変化させる (パワースィング法) ことで、急峻な界面を有する金属相/酸化物相積層膜の成膜が可能である。Ar/O<sub>2</sub> 導入量を固定し、初期に低パワーで酸化物相である IrO<sub>2</sub> を成膜し、続けて高パワーで酸素含有金属相である Ir(O)を成膜することで、上部電極積層膜 (Ir(O)/IrO<sub>2</sub>) を形成することに成功した。パワースィングスパッタによって形成した Ir(O)/IrO<sub>2</sub> 積層膜を上部電極として利用した場合でも、Ir(O)中の酸素は熱的に安定であるため、配線材の酸化による導通不良は見られなかった。

上部電極成膜条件は、PZT 容量の特性に大きな影響を及ぼす。高温、低酸素分圧下で、上部電極を成膜すると、PZT 表面に還元性のダメージが導入され、分極特性が劣化する。したがって、上部電極を成膜する場合には、酸素分圧を上昇させ、低温化することが容量特性の向上につながる。



## 参考文献

- [1] R. Ramesh, W. K. Chan, B. Wilkens, H. Gilchrist, T. Sands, J. M. Tarascon, D. K. Fork, J. Lee, and A. Safari, *Appl. Phys. Lett.*, **61**, 1537 (1992).
- [2] J. Lee, L. Johnson, A. Safari, R. Ramesh, T. Sands, H. Gilchrist, and V. G. Keramidas, *Appl. Phys. Lett.*, **63**, 27 (1993).
- [3] R. Ramesh, J. Lee, T. Sands, V. J. Keramidas, and O. Auciello, *Appl. Phys. Lett.*, **64**, 2511 (1994).
- [4] R. Dat, D. J. Lichtenwalner, O. Auciello, and A. I. Kingon, *Appl. Phys. Lett.*, **64**, 2673 (1994).
- [5] O. Auciello, K. D. Gifford, and A. I. Kingon, *Appl. Phys. Lett.*, **64**, 2873 (1994).
- [6] T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, *Appl. Phys. Lett.*, **65**, 1522 (1994).
- [7] T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, *Jpn. J. Appl. Phys.*, **33**, 5207 (1994).
- [8] J. Cross, M. Fujiki, M. Tsukada, K. Matsuura, and S. Otani, *Jpn. J. Appl. Phys.*, **38**, L448 (1999).
- [9] I. Stolichnov, A. Tagantsev, N. Setter, J. S. Cross, and M. Tsukada, *Appl. Phys. Lett.*, **74**, 3553 (1999).
- [10] T. S. Chen, V. Balu, and B. Jiang, *Integrated Ferroelectrics*, **16**, 191 (1997).
- [11] S. Gottesfeld, J. D. E. McIntyre, G. Beni, and J. L. Shay, *Appl. Phys. Lett.*, **33**, 208 (1978).
- [12] J. D. E. McIntyre, W. F. Peck, Jr., and S. Nakahara, *J. Electrochem. Soc.*, **127**, 1264 (1980).
- [13] J. Mozota and B. E. Conway, *J. Electrochem. Soc.*, **128**, 2142 (1981).
- [14] L. M. Schiavone, W. C. Dautremont-Smith, G. Beni, and J. L. Shay, *Appl. Phys. Lett.*, **35**, 823 (1979).
- [15] J. D. Klein, S. L. Clauson, and S. Cogan, *J. Vac. Sci. Technology.*, **A7**, 3043 (1989).
- [16] J. D. Klein, S. L. Clauson, and S. Cogan, *J. Mater. Res.*, **10**, 328 (1995).
- [17] S. Hackwood, A. H. Dayem, and G. Beni, *Phys. Rev. B*, **26**, 471 (1982).
- [18] K. Kreider, *J. Vac. Sci. Technol.*, **A4**, 606 (1986).
- [19] P. C. Liao, C. S. Chen, W. S. Ho, Y. S. Huang, and K. K. Tiong, *Thin Solid Films*, **301**, 7, (1997).
- [20] H. J. Cho, H. Horii, C. S. Hwang, J. W. Kim, C. S. Kang, B. T. Lee, S. I. Lee, Y. B. Koh, and M. Y. Lee, *Jpn. J. Appl. Phys.*, **36**, 1722 (1997).
- [21] S. Berg, T. Larsson, C. Nender, and H.-O. Blom, *J. Appl. Phys.*, **63**, 887 (1998).
- [22] G. Lemperiere and J. M. Poitevin, *Thin Solid Films*, **111**, 339 (1984).

- [23] M. Kawamura, Y. Abe, H. Yanagisawa, and K. Sasaki, *Thin Solid Films*, **287**, 115 (1996).
- [24] Y. Abe, Y. Kaga, M. Kawamura, and K. Sasaki, *J. Vac. Sci. Technol.*, **B18**, 1348 (2000).
- [25] M. Shimizu, H. Fujisawa, S. Hyodo, S. Nakashima, and H. Niu, *J. Korean Phys. Soc.*, **32**, S1349 (1998).



## 第4章

# FeRAM 安定動作のための PZT 膜物性制御

### 4.1 PZT のスパッタ成膜の概要

スパッタ法による PZT 成膜の試みは、1970 年代から行われている [1,2]。初期の多くの検討が、スパッタ法によって直接ペロブスカイト相の PZT を成膜することを目的としていた。一般に、スパッタ法によってペロブスカイト相が得られる温度は、500 以上という高温が必要である。[2-7] しかし、PZT 構成元素の一つである Pb やその酸化物 PbO は、蒸気圧が他の構成元素よりも高いため、成膜中に高温の基板表面から脱離し、Pb 欠損になりやすい傾向があった。そこで、Pb 過剰のターゲットを用意したり [2,3,5]、PZT + PbO ターゲット [4,6] を用いたりすることで、Pb 欠損分を補う工夫がなされてきた。膜中の Pb 含有量が変化すると、残留分極などの容量特性が敏感に反応する [8-10] ため、Pb の組成制御は極めて重要である。

1990 年代に入って、FeRAM が脚光を浴び始めると、再び PZT の成膜に関する検討が開始された。初期には、ゾルゲル法の PZT 膜を搭載した FeRAM が製品化された。その一方で、低温スパッタと熱処理を組み合わせることで、Pb 組成の不安定性を回避したプロセスが採用され始めた。[11-15] 本プロセスによる PZT 容量を搭載した FeRAM は、現在量産されている。

本章では、スパッタ時に Pb 欠損を起こさない程度の低温域（～500 以下）でのスパッタと、その後の熱処理によってペロブスカイト相へと転移させるプロセスについての検討を行った。化学量論組成が維持されている PZT は、その結晶化温度に従って、図 4.1 に示すような 3 つの相が存在する。[5,6] 通常、ペロブスカイト相が得られる程度の高温（500 以上）で成膜すると、上述したように Pb 組成の不安定性が見られる。Pb の欠損が起こらないような中温域（400 前後）では、パイロクロア相と呼ばれる準安定層が得られることが知られている。さらに、300 以下では、結晶化が見られず、非晶質となる。

図 4.2 に、400 前後の成膜で見られる準安定相であるパイロクロア相の格子を示す。パイロクロア構造は  $\text{Pb}_2(\text{Zr,Ti})_2\text{O}_{7.8}$  で表され、酸素イオンが不足したホタル石構造と見なすことができる。Pb イオンは 8 配位であり、Zr および Ti イオンは 6 配位である点は、ペロブスカイト構造と同じである。パイロクロア構造は、4 個の I 型オクタントと 4 個の II 型オクタントとを組み合わせることで表すことができ、それぞれのオクタントは、図 4.2(a)(b) に示す構造を有している。これらのオクタントを同じ型のオクタントが対角的に互いに反対になるように、図 4.2(c) のように配置した構造がパイロクロア構造である。図 4.2(d) に、オクタントを一つずつ当てはめた単位格子の構造を示す。

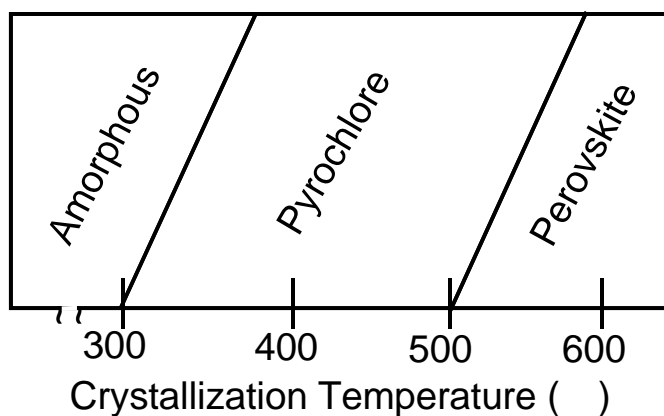


図 4.1 PZT の結晶化温度と得られる相の概略図.

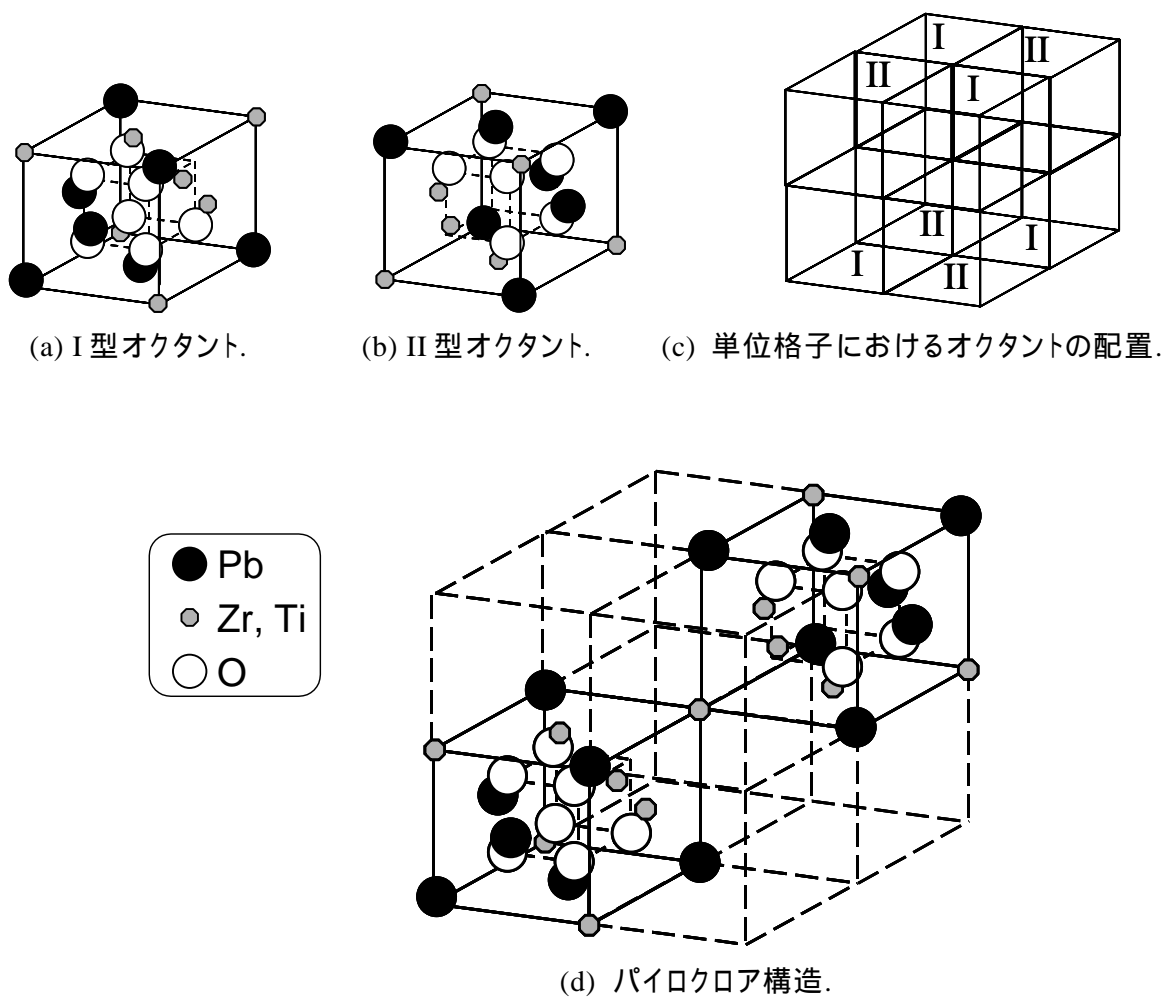


図 4.2 パイロクロア構造の結晶格子.

上述したように、500 以下の成膜温度では、Pb 欠損を生じ難いが、ペロブスカイト相が得られない。しかし、非晶質やパイロクロア相の膜は、600 程度の熱処理によって、ペロブスカイト相へと転移する。そこで、as-deposited で得られる膜物性を制御し、アニール後に良好な膜質のペロブスカイト相へと転移させる研究を行った。4.3節では、その実験結果と相転移メカニズムの考察をまとめる。

次に、4.3節で確立したプロセスを用いて、FeRAM の動作信頼性を向上させるべく、組成制御の検討を行った。1.3節でも述べたように、Pb イオンはペロブスカイト構造の A サイトを占め、Zr および Ti イオンが B サイトを占める。残留分極や抗電圧などの強誘電体特有のパラメータは、B サイトの Zr/Ti 比率に強く依存することが知られている。[3,5,16,17] しかし、FeRAM の動作特性を考慮して、B サイト組成の最適化を試みた報告はされていない。FeRAM は、強誘電体のヒステリシス特性そのものを利用したデバイスであり、ヒステリシスの形状によって、その動作特性は大きく変化する。したがって、ヒステリシス特性のどのパラメータが、FeRAM のデバイス特性にどのような影響を与えるかを考え、目的とするヒステリシス特性が得られるように、組成の最適化を行う必要がある。そこで、4.4節では、ヒステリシスループと FeRAM 動作の相関を考慮し、高信頼性 FeRAM のために必要なパラメータを策定する。その後、これらのパラメータを最適とする PZT 組成を実験に基づいて決定した。

4.5節では、最適化された容量の微細容量を試作し、FeRAM に搭載されるサイズでの特性評価を行った結果を述べる。

## 4.2 実験

表 4-1に、本章で実験したスパッタ条件を示す。4.3節の実験で用いたスパッタターゲットは、 $\text{Pb}_{1.1}\text{Zr}_{0.53}\text{Ti}_{0.47}\text{O}_x$  である。すなわち、Pb を 10% 過剰とし、B サイト組成を MPB 付近の Zr/Ti=53/47 とした。4.4節の実験では、B サイト組成を変化させたターゲットを用いている。

表 4-1 実験条件.

ターゲット (12 インチ径 セラミックターゲット)	$\text{Pb}_{1.10}\text{Zr}_{0.53}\text{Ti}_{0.47}\text{O}_x$ $\text{Pb}_{1.10}\text{Zr}_{0.35}\text{Ti}_{0.65}\text{O}_x$ $\text{Pb}_{1.10}\text{Zr}_{0.20}\text{Ti}_{0.80}\text{O}_x$
スパッタガス	Ar/O <sub>2</sub> (9/1), 5.7mTorr
成膜温度	室温 ~ 650
RF パワー	2-3kW
ポストアニール	600 , O <sub>2</sub> , 10min.
下部電極	Pt/Ti (200/20nm)
上部電極	Pt 200nm (4.3節) Ir/IrO <sub>2</sub> 150/50nm (4.4節)

スパッタは、Ar/O<sub>2</sub> (45/5sccm) 混合ガスで行い、圧力を 5.7mTorr とした。成膜温度は、室温～650℃、RF パワーは 2～3kW とし、下部電極 Pt/Ti 積層膜上に成膜した。PZT スパッタ後には、電気炉で 600℃、10 分間の酸素アニールを行った。容量の電気的特性を測定するために、上部電極として Pt (4.3節) もしくは Ir/IrO<sub>2</sub> (4.4節) を成膜した。上部電極は、RIE 法によりエッチングし、100μm の上部電極パターンを形成した。上部電極 RIE 後に、エッチングダメージの除去のため、600℃ の酸素アニールを行ってから、容量特性の測定を行った。

## 4.3 相転移アニールによる PZT 膜の配向性制御

### 4.3.1 PZT 膜組成及び構造の成膜温度依存性

まず、スパッタ PZT 膜の組成や構造のスパッタ成膜温度依存性を調査した。図 4.3に、RF パワーを 2kW としたときの、成膜速度の成膜温度依存性を示す。成膜速度は、成膜温度の上昇に伴って低下した。しかし、400℃ および 550℃ を境にしてその傾きが変化する様子が見られている。後述する X 線回折測定の結果のところでも述べるが、400℃ 付近が非晶質相とパイロクロア相の境界で、550℃ 付近はパイロクロア相と Pb 欠損相との境界である。したがって、得られる膜の相に応じて成膜速度の成膜温度依存性の傾向が異なっていると考えられる。

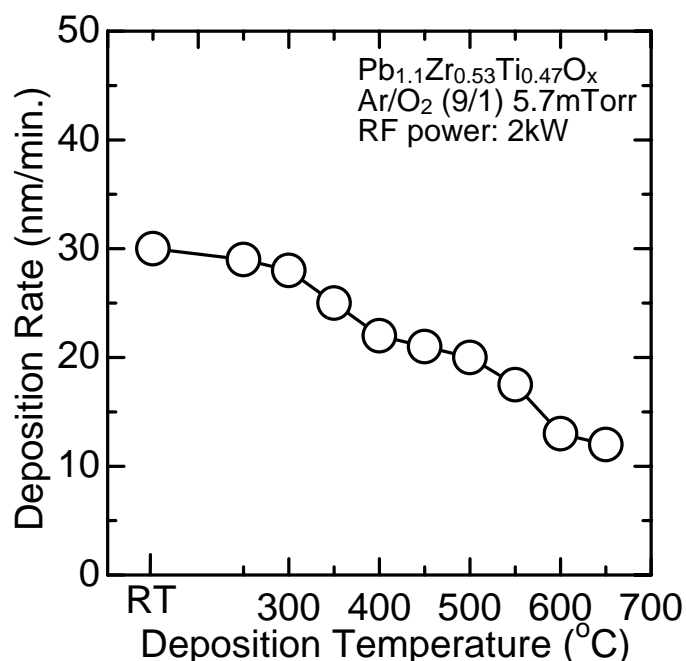


図 4.3 成膜速度の成膜温度依存性.

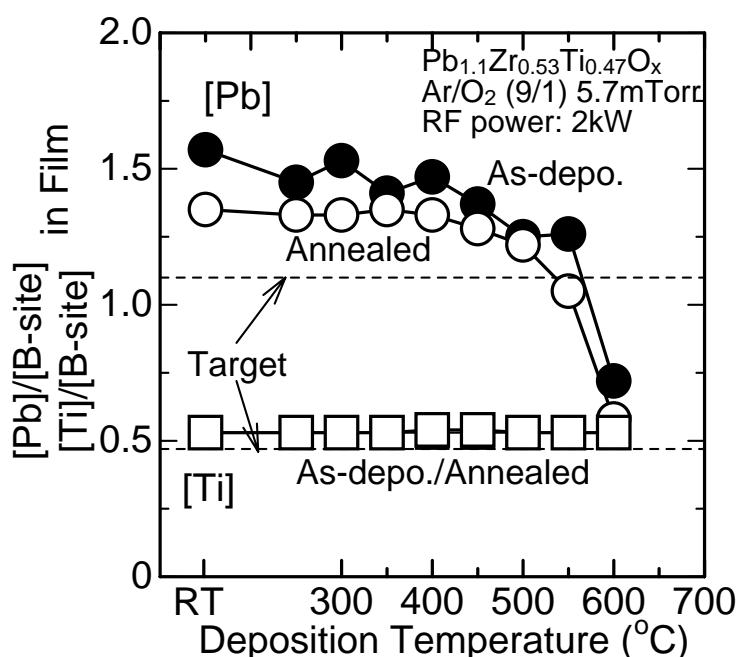


図 4.4 膜組成のスパッタ成膜温度依存性.

一般に、基板表面に飛来した粒子は、ファン・デル・ワールス力や静電相互作用による物理吸着を経て、あるポテンシャルの山を越えると基板原子と結合（化学吸着）し、格子に取り込まれる。この間に脱離の活性化エネルギーを受けることがあると、基板表面から脱離する。粒子が基板表面に吸着してから脱離するまでの平均吸着時間は  $\tau = \tau_0 \exp(E_d/RT)$  で表される。ここで、 $\tau_0$  は定数、 $E_d$  は脱離の活性化エネルギー、 $R$  は気体定数、 $T$  は絶対温度である。基板表面に飛来した粒子は、平均吸着時間内に格子に取り込まれなければ、再び脱離することになり、成膜温度が高いほど脱離を促進することになる。吸着した粒子が脱離しやすくなると、当然ながら成膜速度は低下することになる。成膜温度が低く、非晶質膜が成膜される場合には、格子が存在しないため、化学吸着力も弱く、膜に取り込まれにくくなり、基板表面から脱離する粒子が多くなる。このため、成膜速度は成膜温度に敏感になり、350 近辺での成膜速度の傾きは大きくなる。これに対して、400 以上では結晶膜が得られ、成膜中の最表面にはポテンシャルの安定な位置（すなわち格子位置）が存在し、格子に取り込まれる。一旦格子に取り込まれれば、脱離は起こりにくくなり、成膜速度は成膜温度に対して鈍感になると考えられる。したがって、400～500 の範囲では成膜速度の傾きが緩やかになっている。550 以上では、後で述べるように、Pb 成分の脱離が著しくなり、成膜速度は Pb 成分の脱離によって律速されると考えられる。

図 4.4に、膜組成の成膜温度依存性を示す。Pb の組成は、B サイトに対する Pb の比率である、 $[Pb]/[B\text{-site}]$  ( $[B\text{-site}] = [Zr] + [Ti]$ ) で定義した。B サイト組成に関しては、 $[Ti]/[B\text{-site}]$  で定義した。化学量論組成では、 $[Pb]/[B\text{-site}] = 1$  である。図中には、破線でターゲット組成を示している。B サイト組成は、成膜温度に全く依存せず、常に一定であった。



Pb 組成については、500 °C までは成膜温度の上昇に伴って緩やかに減少する傾向がある。しかし、この温度領域における組成は、ターゲットよりも Pb 過剰の状態になっている。550 °C を超えると、膜中の Pb 組成は急激に減少し、化学量論組成を下回る。Pb 組成は、600 °C、O<sub>2</sub> 中でのアニールによっても減少するが、500 °C 以下で成膜した場合には化学量論組成を下回ることはいない。

スパッタ成膜では、一般にスパッタされたターゲットを構成する粒子は、数 mTorr の雰囲気の中を基板に向かって進むことになる。この間の雰囲気を構成する Ar、あるいはターゲット構成粒子同士との衝突は避けられない。<sup>\*</sup> 原子同士の衝突では、軽い原子ほど大きく散乱されるので、基板まで到達する原子は重い原子ほど多くなることになる。したがって、500 °C 以下で成膜した場合には、原子量 207 の Pb が、原子量 48 の Ti や、91 の Zr より多く含有されると考えられる。しかし、550 °C 以上の高温になると、蒸気圧の高い Pb や PbO が、成膜中の基板表面から再蒸発し易くなる。このため、高温領域では、膜中 Pb 含有量が極端に減少する。

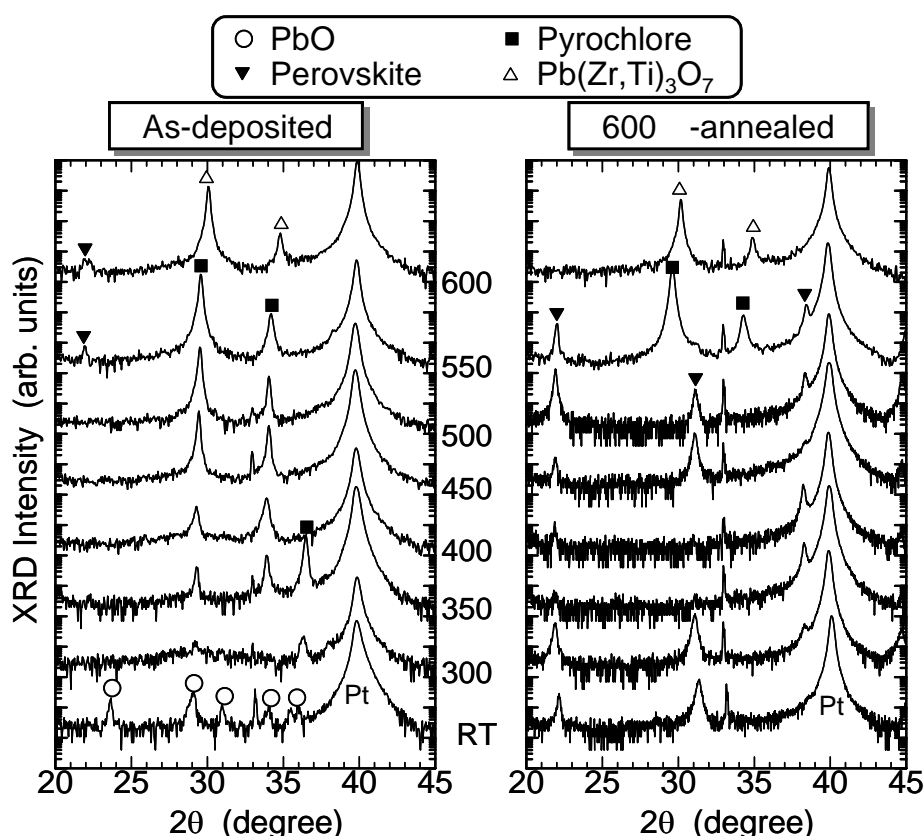


図 4.5 基板温度を変化させてスパッタ成膜した PZT 膜の XRD スペクトル。

<sup>\*</sup> Ar 原子のみが雰囲気に存在する場合、Ar 原子の平均自由行程は、20 °C、5mTorr で約 1cm である。当スパッタ装置のターゲット - 基板間距離は 10cm であるので、衝突なしに基板までたどり着くことはまず考えられない。

図 4.5に、成膜温度を変化させて成膜した PZT 膜の XRD スペクトルを示す。as-deposited 膜では、室温成膜時には、PbO の回折ピークが見られる。成膜温度を 300 °C まで上昇させると、極めて弱いパイロクロア相の回折ピークが見られる。350 °C になると、明確なパイロクロア相の回折ピークが見られ、400 °C になると配向が変化したパイロクロア相となった。さらに、成膜温度を上げていくと、500 °C まではパイロクロア相の単相膜で、面配向が成膜温度に応じて変化する様子が見られた。面配向の成膜温度依存性については、後で詳細に考察する。550 °C では、パイロクロア相に加え、ペロブスカイト相が混在してくる。600 °C では、弱いペロブスカイト相のピークと、強い  $\text{Pb}(\text{Zr,Ti})_3\text{O}_7$  の回折ピークが観測された。 $\text{Pb}(\text{Zr,Ti})_3\text{O}_7$  は、元素比率を見て分かるように、ペロブスカイト相から考えると大幅な Pb 欠損相である。

600 °C の  $\text{O}_2$  アニールによって、膜は概ねペロブスカイト相へと相転移する。室温 ~ 300 °C スパッタでは、特定の結晶配向が見られなかったが、350 °C ~ 500 °C のスパッタでは、スパッタ時の基板温度に応じて配向が変化している様子が見られた。アニール後の面配向と成膜温度の関係についても、後で検討する。550 °C スパッタの場合には、600 °C アニールを行った後でも、パイロクロア相が安定に存在しており、ペロブスカイト相単相とはならなかった。600 °C 成膜の場合は、アニール後でも Pb 欠損相が安定に存在していた。

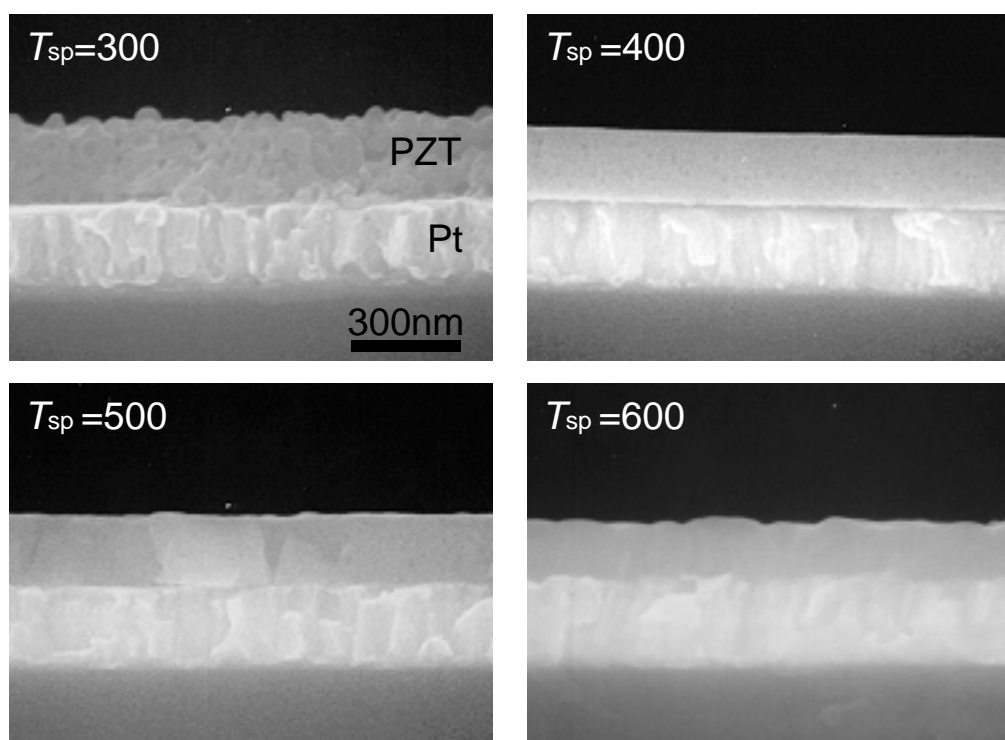


図 4.6 アニール後のペロブスカイト PZT 膜の断面 SEM 像 ( $T_{\text{sp}}$  はスパッタ時の基板温度).

パイロクロア相では、Pb と酸素が不定比で存在するとされている。550 °C でスパッタした際に得られたパイロクロア相は、600 °C という高温でも安定な相であるため、アニールによってペロブスカイト相に転移しなかったと考えられる。以上の結果を考えると、現状の組成のターゲットを用いる限り、成膜スパッタ時の基板温度は 500 °C 以下に抑える必要があることが分かる。

図 4.6に、アニールによってペロブスカイト相へ転移させた PZT 膜の断面 SEM 像を示す。図中の  $T_{sp}$  は、成膜温度を示している。300 °C スパッタの場合は、粒状の結晶が見られ、その粒径に依存した表面ラフネスが観察される。一方、400 °C および 500 °C でスパッタした場合には、明確なグレイン構造は見られないが、表面の平坦性は優れている。成膜温度が 600 °C になると、再び表面が荒れてくる様子が見られる。

300 °C スパッタでは、as-deposited 膜が非晶質に近い膜（結晶の回折ピークが小さい）であるため、アニールによる相転移が膜中でランダムに発生する。したがって、膜中のいたる部分で、独立に結晶化した粒が見られると考えられる。これに対して、as-deposited 膜がパイロクロア結晶の場合には、アニールによる相転移が結晶に起因する規則に従って起こり、平坦な表面形状が維持されと考えられる。この相転移メカニズムについては、4.3.2で詳しく検討する。600 °C 成膜の場合には、成膜中に Pb の脱離が起こることは既に述べた。この条件では、成膜と揮発が競合するため、不均一な膜の成長が起こると考えられる。以上の結果、300 °C 以下のスパッタでは、膜構造が劣悪であるため、デバイス応用には適さない。したがって、400 °C 以上でスパッタすることが望まれる。XRD の結果とあわせると、成膜温度としては、400 ~ 500 °C が最適であることが示された。

### 4.3.2 PZT 膜における Topotaxial 相転移

ここでは、パイロクロアからペロブスカイト相への相転移過程の考察を行う。図 4.7に、300 ~ 500 °C でスパッタ成膜した PZT 膜の、アニール前後の XRD スペクトルを示す。(a)は、as-deposited 膜の測定結果で、300 °C では、(303)の回折強度が最も大きく、400 °C スパッタでは(400)、500 °C スパッタでは(222)回折強度が最も強かった。このように、成膜温度によって、面配向が大きく変化することが特徴的である。(b)は、アニール後のペロブスカイト相の XRD スペクトルで、300 °C では、 $\{100\}\{110\}^{**}(111)$ の全てのピークが見られ、特別な配向は見られない。成膜温度が 400 °C の場合には、(111)配向強度が強くなり、500 °C でスパッタした場合には $\{100\}$ 強度が際立って強くなっている。

ここで、パイロクロア相の(222)の振る舞いに注目すると、成膜温度の上昇に伴って単調に増加していることが分かる。また、アニール後のペロブスカイト相の $\{100\}$ 回折ピークは、300 °C 成膜の無配向膜を除くと、成膜温度が高いほうが強くなっている。ペロブスカイト相の $\{100\}$ は、分極軸方向である(001)を含んでおり、(001)配向が強くなれば、分極特性の向上が期待される。そこで、他の成膜温度

---

\*\* この組成のペロブスカイトは、Tetragonal であるため、(100)と(001)は等価ではない。しかし、本研究で得られた膜は a 軸と c 軸の長さが極めて近いため、XRD スペクトルでは分離しなかった。このため、ここでは(100)(001)を合わせて $\{100\}$ と表記することにした。 $\{110\}$ についても同様である。

のデータも含めて、パイロクロア(222)とペロブスカイト{100}の配向率 ( $OR_{Py}$ ,  $OR_{Pe}$ ) の成膜温度依存性を調べた。配向率は以下の式で定義した。

$$OR_{Py} = I_{Py(222)} / \sum_{h,k,l} I_{Py(hkl)} \quad (4.1)$$

$$OR_{Pe} = I_{Pe\{100\}} / \sum_{h,k,l} I_{Pe(hkl)} \quad (4.2)$$

$I_{Py(hkl)}$ : パイロクロア相 ( $hkl$ )面の XRD 強度,

$I_{Pe(hkl)}$ : ペロブスカイト相 ( $hkl$ )面の XRD 強度.

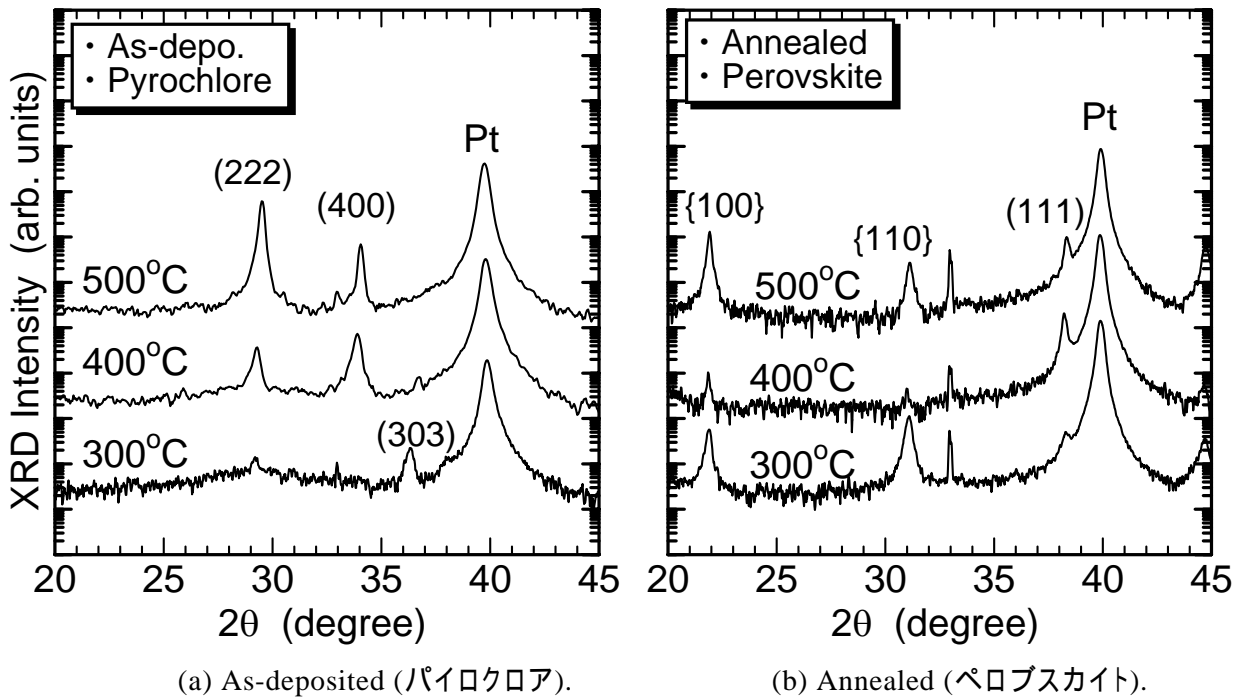


図 4.7 300 ~ 500 でスパッタした PZT 膜の XRD スペクトル.

図 4.8に、各面の配向率の成膜温度依存性を示す。300 スパッタの場合には、ランダム配向であるが、350 以上では、配向に成膜温度依存性が明らかに見られた。パイロクロア相(222)およびペロブスカイト相{100}の回折強度比率は、いずれも成膜温度が上昇するに従って、単調に増加した。すなわち、パイロクロアからペロブスカイトへ転移する際に、特定の結晶軸が相関を持っていることが予想される。

ペロブスカイト構造で、骨格を形成しているのは、酸素八面体である。そこで、酸素八面体の結晶軸に注目して、相転移過程を考察した。図 4.9にペロブスカイト構造における、酸素八面体配置を示す。酸素八面体の軸（対角線）は、単位格子の<100>方向であることが分かる。

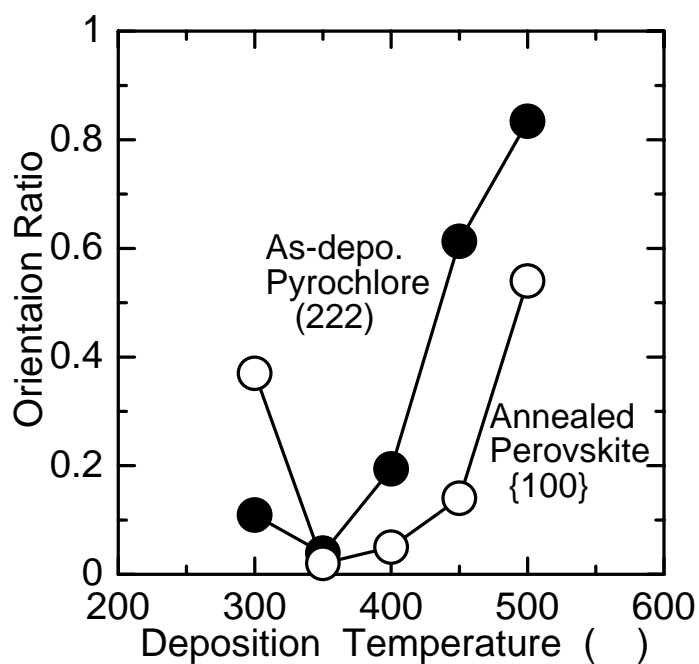


図 4.8 パイロクロア (as-deposited) (222)およびペロブスカイト (annealed) {100} の配向率.

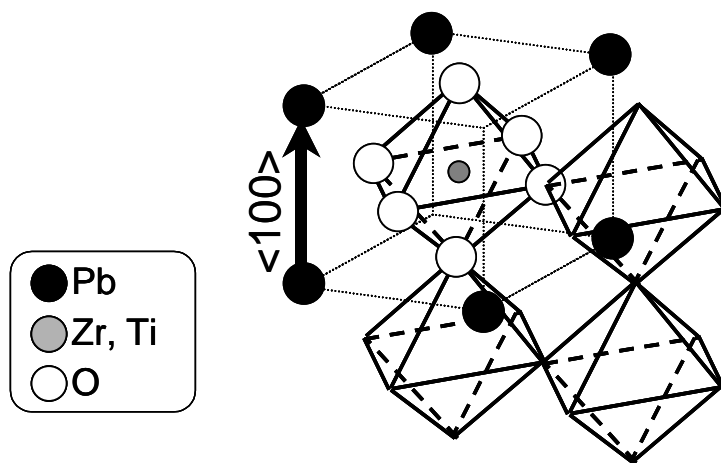


図 4.9 ペロブスカイト相における酸素八面体構造.

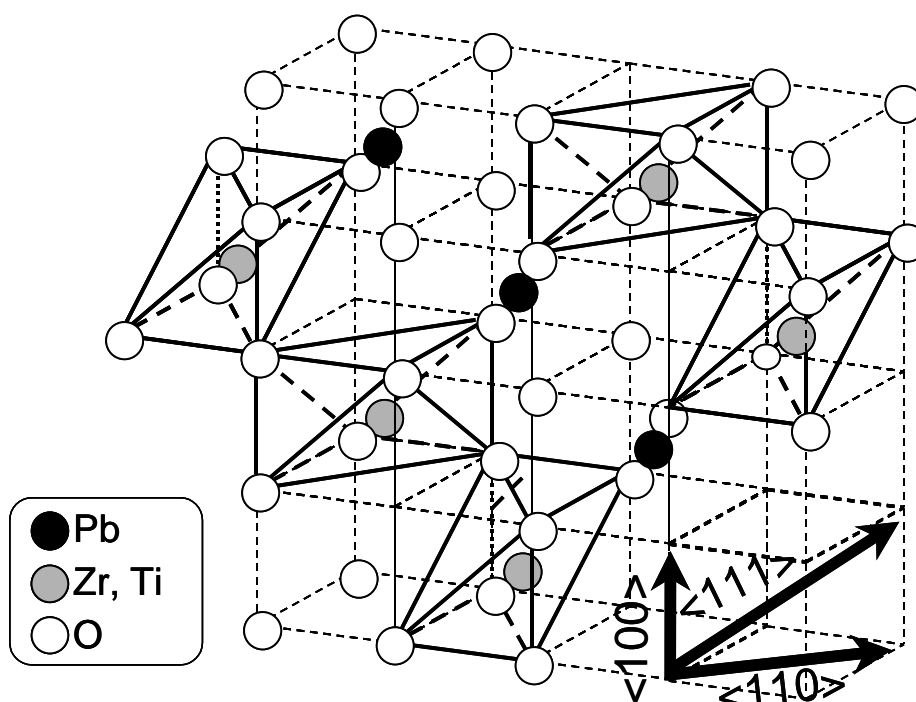


図 4.10 パイロクロア相における酸素八面体の配置.

一方、パイロクロア相においても、図 4.10に示すような、Ti (Zr) を内部に含有する酸素八面体を考えることが可能である。パイロクロア相における酸素八面体は、対角線が単位格子における  $\langle 111 \rangle$  方向となっており、 $\langle 110 \rangle$  方向にジグザグに連なっている。以上のことから、酸素八面体の軸が保存されながら、パイロクロア相からペロブスカイト相へ転移すれば、パイロクロア相の  $\langle 111 \rangle$  軸がペロブスカイト相の  $\langle 100 \rangle$  軸に対応することが分かる。このように、特定の結晶軸が保存されて、相転移が進行することを *topotaxial* 相転移と表現する。

次に、相転移に伴う体積変化について考察する。パイロクロア構造の格子定数は、JCPDS カードによると  $10.5 \text{ \AA}$  であるので、単位格子の体積は  $10.5^3 = 1160 \text{ \AA}^3$  となる。図 4.2 から、パイロクロア相の単位格子に含まれる Pb と (Zr, Ti) は、それぞれ 16 個ずつである。一方、ペロブスカイト構造の格子定数は、組成にも依存するが、約  $4 \text{ \AA}$  で、単位格子の体積は  $4^3 = 64 \text{ \AA}^3$  である。ペロブスカイト構造では単位格子中に Pb と (Zr, Ti) が 1 個ずつしかないので、パイロクロア構造と同数の 16 個ずつとしたときの体積は  $64 \times 16 = 1024 \text{ \AA}^3$  となる。したがって、同数の原子を含む場合の体積は、パイロクロアペロブスカイトで約 10% 減少する。

しかし、本研究の結果では、相転移前後で膜厚はほとんど変化していない。そこで、膜構造を詳細に評価するために、アニール前後の PZT 膜の断面 TEM 観察を行った。図 4.11 に、as-deposited のパイロクロア相、およびアニール後のペロブスカイト相の断面 TEM 像を示す。

As-deposited のパイロクロア相は、密な柱状組織の膜となっている。しかし、アニール後には、柱状組織は判然としなくなり、膜中に多数のボイドが見受けられた。先に述べた、体積収縮は、このような膜中ボイドとなっていると推察される。ボイドのサイズは、大きいもので 40nm 程度であった。現状目標としている素子サイズは、1 $\mu$ m 前後であるので、ボイドは素子寸法よりも十分小さい。したがって、素子特性のばらつきに影響することはない。むしろ、ボイドによって膜の常誘電性の誘電率が低下することで、相対的に強誘電的容量成分が増加し、分極特性が向上するような利点が見られる。(4.4節参照)

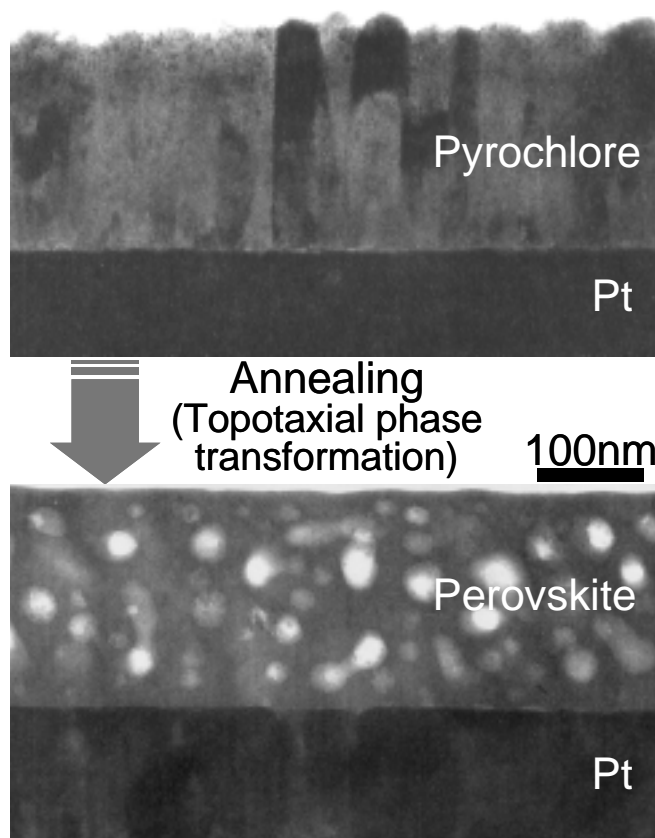


図 4.11 アニールによる膜構造の変化.

### 4.3.3 スパッタ PZT 容量の電気特性

ここでは、図 4.12に示すように上部電極を Pt として容量特性の評価を行った。図 4.13に、容量特性のスパッタ時の基板温度依存性を示す。左軸は、5V 印加時のリーク電流密度 ( $I_L$ ) とし、右軸で示した残留分極  $2P_r$  は、5V 振幅の一周期ヒステリシスより抽出した。リーク電流は、成膜温度が 400 以下のときは、成膜温度が上昇するに従って低下した。しかし、400 以上では、ほぼ飽和する傾向を示した。一方、残留分極は、300 ~ 500 の範囲では、成膜温度が上昇すると、単調に増加し

た。550℃以上で成膜した場合には、Pb 欠損のため、膜がペロブスカイト相に結晶化せず、強誘電性を見ることができなかった。

300℃以下の低温で成膜した場合には、相転移アニールによって、粒状グレインで表面ラフネスの大きな膜へと結晶化する（図 4.6 参照）。このような膜では、結晶化も不十分で、不安定な粒界を多数有することから、リーク電流が増大すると考えられる。As-deposited で結晶配向を有する良質のパイロクロア結晶が得られていれば、アニール後の膜質も向上し、リーク電流は低く抑えられる。

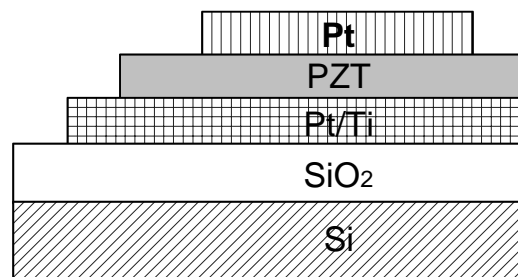


図 4.12 本節で評価した容量の積層構造（上部電極: Pt）。

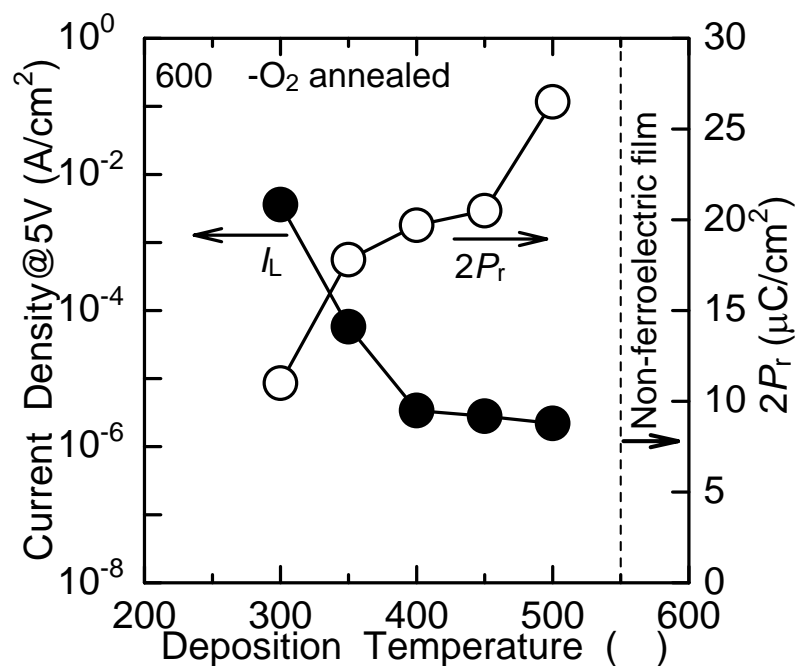


図 4.13 リーク電流 ( $I_L$ ) および残留分極 ( $2P_r$ ) の成膜温度依存性 (100 $\mu m$  容量)。



残留分極に関しては、300 スパッタの場合には、膜質の悪化によって低くなっている。成膜温度が上昇すると、膜質の改善が進み、リーク電流の低下とともに残留分極も向上する。それと同時に、上述したように、分極軸を含む{100}配向度が高くなるため、成膜温度が高いほど、残留分極が高くなる。図 4.14に、500 スパッタ後に 600 の酸素アニールを行って試作した PZT 容量の特性を示す。良好なヒステリシスループ形状と、絶縁性を確保できている。

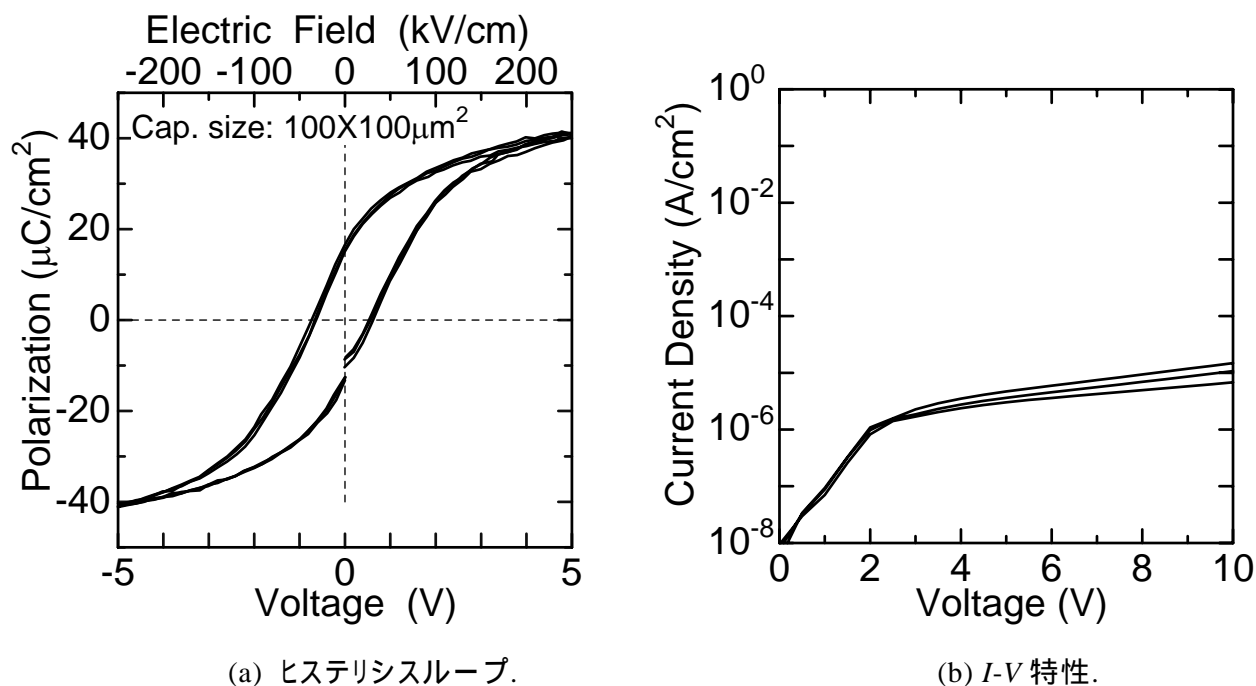


図 4.14 500 スパッタ+600 アニールによる PZT 容量の特性.  
(ターゲット: Pb/Zr/Ti=1.10/0.53/0.47).

## 4.4 PZT 膜物性制御による FeRAM 特性の向上

### 4.4.1 強誘電体容量の特性と FeRAM 動作特性の相関

FeRAM では、書き込み時には容量の両端に電源電圧が印加されることは既に述べた。FeRAM に用いる PZT 容量では、抗電圧が 1V 前後であるため、3V 以上の電源電圧が供給されていれば、ヒステリシスループが飽和するまで電圧が印加され、十分な残留分極を発生できる。したがって、書き込みに関しては、現状ではそれほど注意する必要がない。しかし、今後、電源電圧が低下してくる場合には、ヒステリシスが飽和しない領域での書き込みが行われるようになる。この場合には、抗電圧を低下させるような工夫を行うなどして、対応していく必要がある。

一方、読み出しに関しては、図 1.4で示した等価回路で行われ、強誘電体容量に十分な電圧が印加されるわけではない。読み出し時には、ビット線容量と強誘電体容量で電源電圧が分割される

結果、図 1.5(b)で示したようなビット線電圧が発生する。2T2C セルでは、反転読み出し容量と非反転読み出し容量がペアになっているため、反転読み出しビット線電圧と非反転読み出しビット線電圧の差が、差動センスアンプで検出される際のマージンとなる。そこで、2T2C セルで、このビット線電圧マージン $\Delta V_B$ を拡大するために必要な強誘電体容量のパラメータを検討した。図 4.15は、 $\Delta V_B$ を拡大するために必要な強誘電体容量に要求される特性を説明するための概念図である。

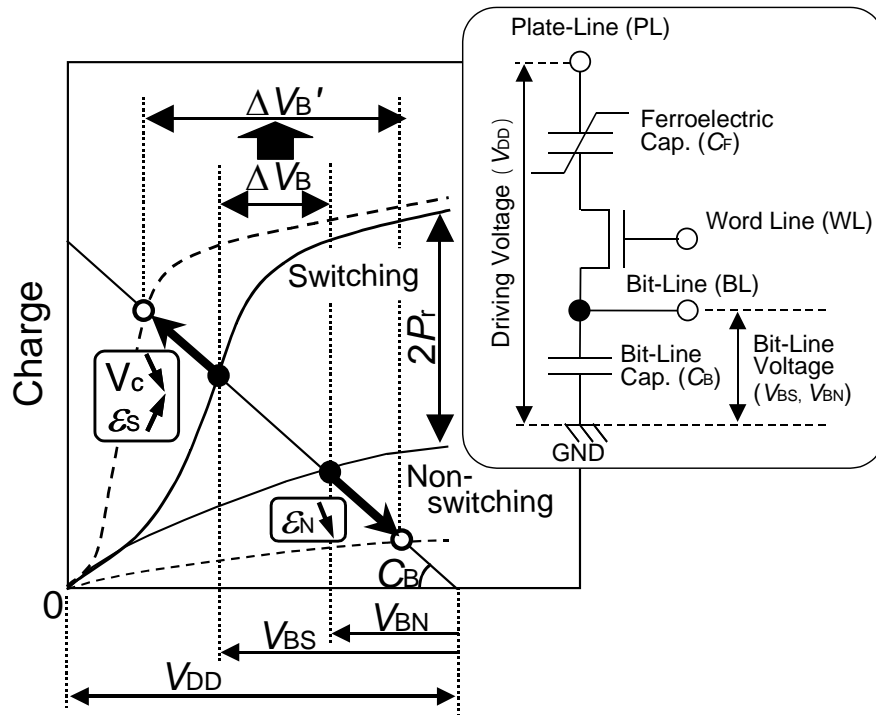


図 4.15 ビット線読み出しマージンを拡大するために必要な強誘電特性.

反転読み出しに関しては、カーブが低電圧から立ち上がり、かつその立ち上がりが急峻であれば、ビット線容量の負荷線との交点が左側へシフトし、 $V_{BS}$ が高くなる。強誘電体容量のパラメータで言うと、抗電圧  $V_c$ を低くし、反転カーブの実効誘電率 $\epsilon_s$ を上げることが望まれる。非反転読み出しに関しては、カーブの傾きが緩くなることで、負荷線との交点が右側へシフトし、ビット線電圧  $V_{BN}$ が低下する。したがって、非反転容量の実効誘電率 $\epsilon_N$ を下げればよい。非反転容量は、強誘電体膜の常誘電性容量成分そのものである。誘電率に関しては、図における反転カーブと非反転カーブが開いていることが重要であるので、反転誘電率と非反転誘電率の比率 $\epsilon_s/\epsilon_N$ をパラメータとして定義する。

以上のように、読み出しビット線電圧マージン $\Delta V_B$ を拡大するためには、低  $V_c$ 、高  $\epsilon_s/\epsilon_N$ が要求される。以下では、FeRAM の信頼性を高めることを目的とし、実際に組成を変化させた PZT 容量の諸特性を評価した。なお、本節における PZT 容量の上部電極は、図 4.16に示すように、全て Ir/IrO<sub>2</sub>を用いている。

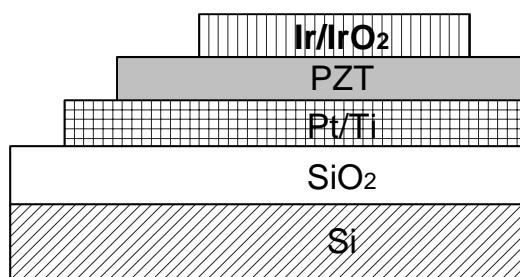


図 4.16 本節で評価した容量の積層構造（上部電極: Ir/IrO<sub>2</sub>）.

#### 4.4.2 PZT 容量特性の B サイト組成依存性

PZT 容量の特性は、B サイトの Zr/Ti 比を変化させることで、様々な特徴を示す。本実験では、ターゲットの B サイト組成を変化させて、PZT 膜の成膜を行い、その諸特性を評価した。まず、膜の組成分析を行った。組成分析は、スパッタ後に相転移アニールを行った後に測定している。図 4.17 に、膜中の B サイト組成（B サイトに占める Ti の比率）とターゲットの B サイト組成の関係を示す。両者の関係は、直線で表されることから、所望の膜組成を得るために必要なターゲット組成は容易に定めることが可能である。

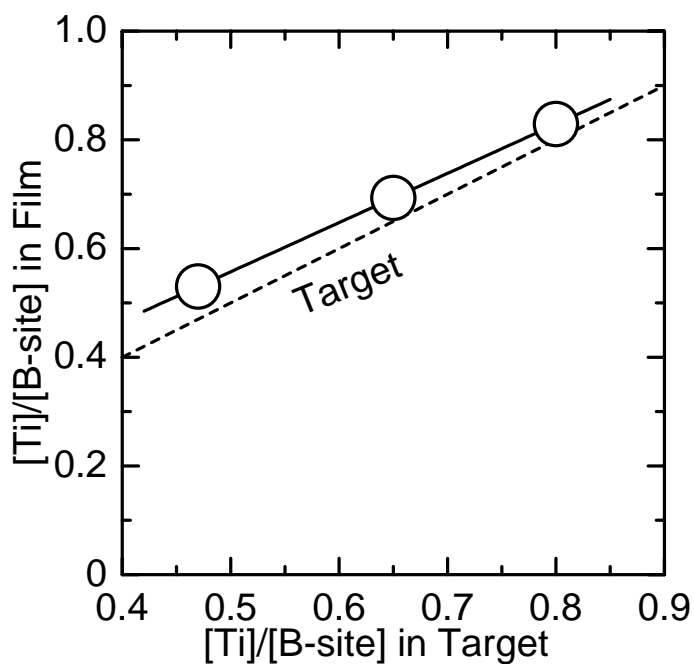


図 4.17 膜組成とターゲット組成の関係.

図 4.17における破線は、膜中とターゲット中の Ti 比率が等しいとしたときの関係を示している。破線と実測データを比較すると、膜中の Ti 組成はターゲット中より多くなる傾向がある。このような傾向は他のグループからも報告されている[5,6]。Pb 組成のときの議論（4.3.1参照）を適用すると、原子量の大きい Zrの方が膜中で多くなるはずであるが、ここで得られた結果は全く逆である。ZrとTiのスパッタ率の差が影響していると考えられることもできるが、複合金属酸化物ターゲットを用いたスパッタにおいては、そのメカニズムがよく分かっておらず、このような組成ずれの原因については、明確な説明ができないのが現状である。

以下の文中で示す B サイト組成は、全て膜中の組成とし、 $[Zr]+[Ti]=100$  として  $[Zr]/[Ti]$ -PZT と表記する。

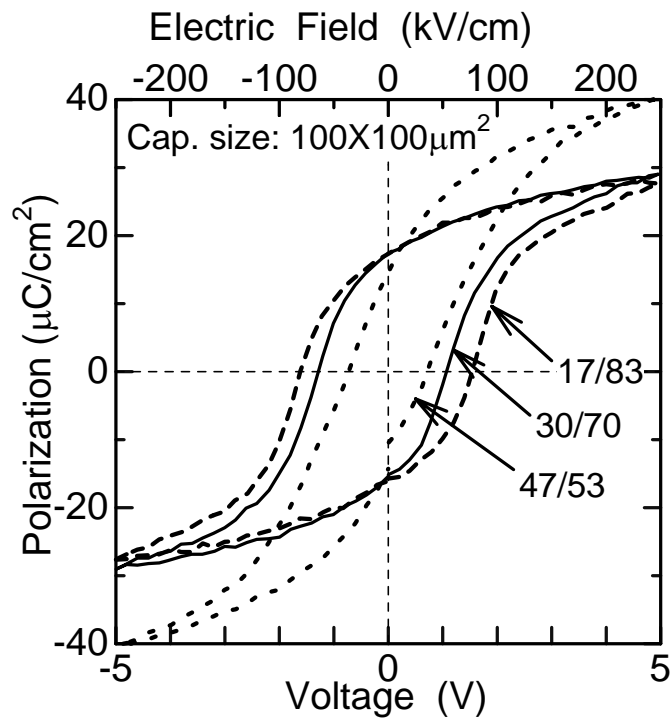


図 4.18 ヒステリシスループの B サイト組成 (Zr/Ti 比) 依存性.

図 4.18に、ヒステリシスループの B サイト組成依存性を示す。B サイトの Ti 組成が増加すると、ヒステリシスの矩形性が向上し、抗電圧が上昇している様子が見られる。

これらのヒステリシスから、図 4.15のような定量的な評価を行うために、抗電圧と反転および非反転容量の誘電率を抽出する。そのために、ヒステリシス形状を経験式で表現し、実測のヒステリシスループにフィッティングすることで、各パラメータを抽出した。ここでは、ヒステリシスの形状を表現する式として、次に示す  $\tanh$  関数 [18] を用いた。

$$P(V) = P_0 \tanh(a(V \pm V_c)) + C_p V \quad (4.3)$$

$P_0$ : 強誘電性分極成分の最大値,  
 $a$ : 抗電圧付近のヒステリシスの傾き,  
 $V_c$ : 抗電圧,  $C_p$ : 常誘電性容量成分.

実測ヒステリシスデータに対して(4.1)式で最小二乗フィッティングを行うと、上記の  $P_0$ ,  $a$ ,  $V_c$ ,  $C_p$  の 4 つの値が決定できる。抗電圧は  $V_c$  の値自身であり、反転誘電  $\varepsilon_S$  および非反転誘電率  $\varepsilon_N$  は次式により定義した。

$$\varepsilon_S = \frac{aP_0d}{\varepsilon_0}, \quad (4.4)$$

$$\varepsilon_N = \frac{C_p d}{\varepsilon_0} \quad (4.5)$$

$d$ : 強誘電体膜厚,  $\varepsilon_0$ : 真空の誘電率.

また、本フィッティングから得られた残留分極  $P_r$  は、

$$P_r = P(0) = P_0 \tanh(aV_c) \quad (4.6)$$

で定義される。

表 4-2に、ヒステリシスのフィッティング結果から得られた各種パラメータをまとめ、図 4.19に、誘電率比  $\varepsilon_S/\varepsilon_N$  および抗電圧  $V_c$  の B サイト依存性をプロットした。 $\varepsilon_S/\varepsilon_N$ ,  $V_c$  とともに、Ti 組成が増大すると単調に増大した。図 4.15で示したように、 $\varepsilon_S/\varepsilon_N$  は大きく、 $V_c$  は小さい方がデバイス動作時のマージンを広くできる。しかし、PZT の組成を変化させた場合には、その両者の関係がトレードオフとなっている。したがって、回路動作を考慮した上で組成の目標を決めていく必要がある。

表 4-2 ヒステリシスのフィッティングから得られた強誘電性パラメータ.

Property	Zr/Ti ratio		
	47/53	30/70	17/83
$P_r$ ( $\mu\text{C}/\text{cm}^2$ )	9	21	20
$V_c$ (V)	0.71	1.3	1.6
$\varepsilon_S$	3900	9000	11000
$\varepsilon_N$	710	420	340

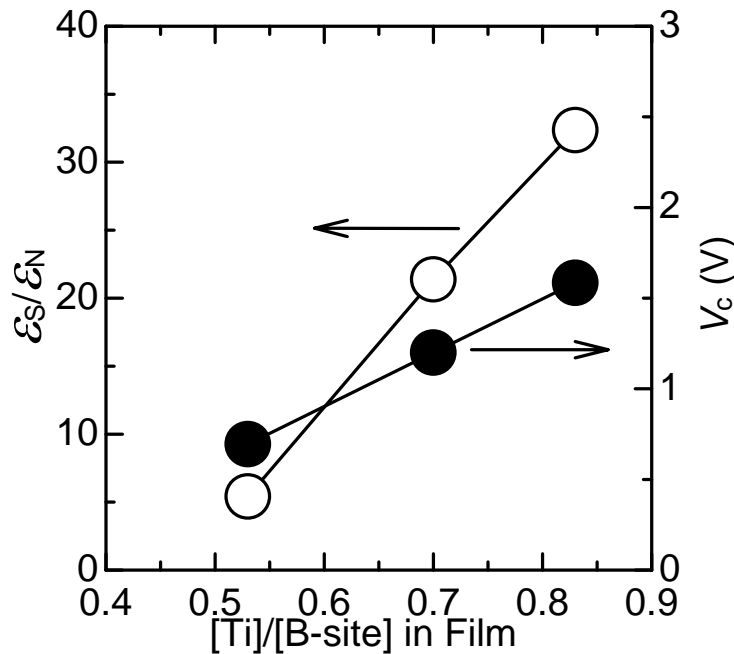
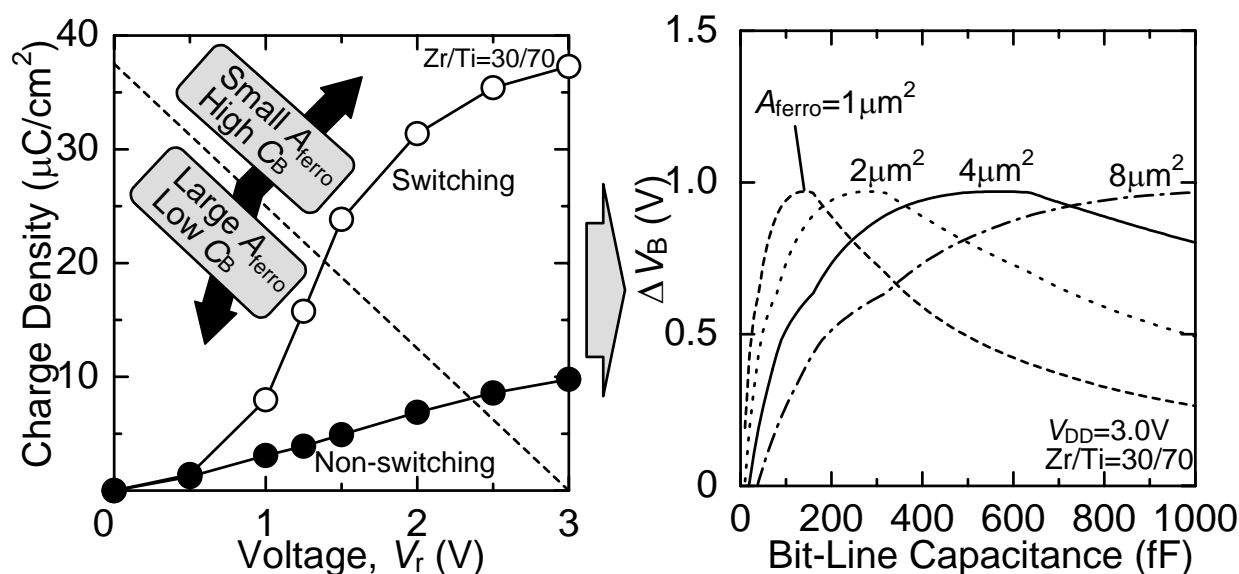


図 4.19 誘電率比および抗電圧の B サイト組成依存性.

#### 4.4.3 FeRAM の安定動作を実現する B サイト組成の選定

FeRAM を安定動作させるという観点から、実際の回路動作に近いパルス測定 (図 2.9 参照) を行い、ビット線電圧の解析を行う。まずは、強誘電体容量の面積やビット線容量が、読み出しビット線電圧マージン  $\Delta V_B$  にどのように影響するかを確認しておく。図 4.20 は、 $\Delta V_B$  の強誘電体容量の面積やビット線電圧に対する依存性をプロットしたものである。(a) は、パルス測定結果と負荷線 (ビット線容量直線) の関係を示した図である。デバイス中での強誘電体容量面積とビット線容量値から、負荷線の傾きが決定される。容量面積を小さくすると、強誘電体容量の容量値が小さくなるため、相対的にビット線容量が大きくなり、負荷線の傾きが大きくなる。単純に、ビット線容量を大きくした場合も同様の現象がみられる。逆に、容量面積を大きく、もしくはビット線容量を小さくすると、負荷線の傾きは小さくなる。

図 4.20 (b) で、容量面積を固定して、ビット線容量を変化させた場合、 $\Delta V_B$  はピーク値を持つ。 $\Delta V_B$  は、先にも述べたように、反転容量と非反転容量の差(比)が大きいほど大きくなる。図 4.20 (a) で、負荷線の傾きを大きくしていくと、反転容量と負荷線の交点が、反転カーブの立ち上がりの部分にきたときに、反転容量が大きくなるため、 $\Delta V_B$  は大きくなる。しかし、負荷線の傾きがさらに急になって、反転容量カーブの飽和領域で負荷線と交わると、反転容量と非反転容量の差が小さくなるため、 $\Delta V_B$  は小さくなる。容量面積が大きくなると、 $\Delta V_B$  がピークとなるビット線容量の値は大きくなり、ビット線容量の変化に対する感度も小さくなる。



(a) パルス測定結果とビット線容量の負荷線。

(b)  $\Delta V_B$  の負荷線パラメータ依存性。図 4.20 パルス測定より見積もった  $\Delta V_B$  の強誘電体容量面積およびビット線容量依存性。

実デバイスでの容量面積は、トランジスタや配線のピッチによって決定されるセル面積の中に入る範囲で、可能な限り大きくすることで、 $\Delta V_B$  が大きな値をとるウインドウが広がる。ビット線容量に関しては、ビット線の長さ、すなわちビット線 1 本当たりに接続されるセルの数を調整することで変化させることができる。ここでは、 $0.8\mu\text{m}$  ルールの FeRAM を想定し、容量面積を  $2 \times 2 = 4\mu\text{m}^2$  とし、ビット線容量を  $500\text{fF}$  ( $128\text{bits/bit-line}$ ) として解析を行うことにする。

図 4.21 に、B サイト組成を変化させた PZT 容量について、セットパルス電圧を  $\pm 3\text{V}$  とし、チャージ測定電圧  $V_r$  を変化させたパルス測定結果を示す。(a) は、セットパルスを  $-3\text{V}$  とし、反転電荷の測定を行った結果で、図 4.18 で示したヒステリシスの抗電圧付近で、電荷が急激に立ち上がる様子が見られる。読み出し電圧が高くなると、次第に反転電荷は飽和する傾向を示し、その傾きは非反転電荷の傾きに近くなる。Ti 組成が少ない 47/53-PZT の場合は、抗電圧が  $0.71\text{V}$  と低いため、低電圧から反転電荷の立ち上がりが見られる。しかし、 $\epsilon_s$  が  $3900$  と小さく、反転電荷が増加する傾きが小さくなっている。Ti 組成が増加し、30/70-PZT になると、抗電圧が  $1.3\text{V}$  と 47/53-PZT よりも高いため、反転電荷が立ち上がり始める電圧は高くなっている。しかし、30/70-PZT では、反転の誘電率  $\epsilon_s$  が大きいいため、読み出し時の容量印加電圧が  $1.2\text{V}$  以上になると、47/53-PZT を上回る電荷を達成している。さらに Ti を増加させ、17/83-PZT になると、抗電圧が  $1.6\text{V}$  と極めて高く、反転電荷の立ち上がりが遅い。このため、読み出し時の容量印加電圧が、 $2.2\text{V}$  以上にならないと 47/53-PZT を上回る電荷を達成できない。図 4.21(b) は、セットパルスを  $+3\text{V}$  とし、チャージ測定電圧  $V_r$  を変化させて、非反転読み出しのパルス測定を行った結果である。非反転電荷は、Ti 組成が増大すると、誘電率  $\epsilon_N$  が単調に低下することを反映して傾きが小さくなる。

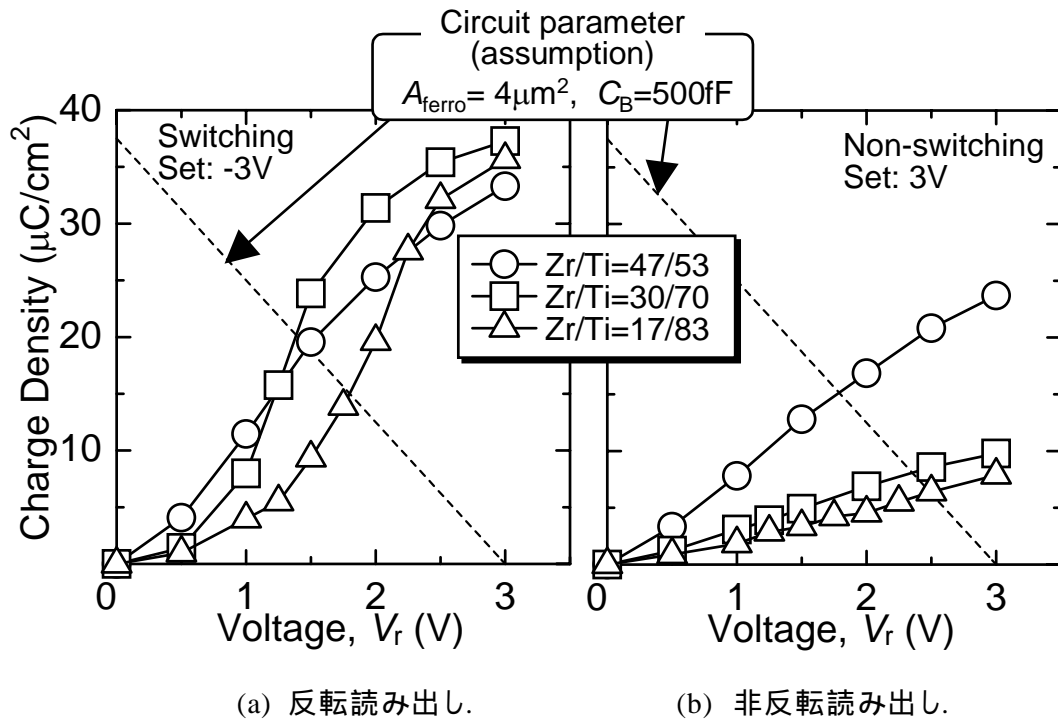


図 4.21 測定電圧を変化させたパルス測定結果 (セット電圧 3V,  $100 \times 100 \mu\text{m}^2$  容量で測定).

図 4.21には、強誘電体容量面積を  $4 \mu\text{m}^2$ 、ビット線容量を 500fF とした場合の負荷線を破線で示している。図から見積もった読み出し時のビット線電圧を図 4.22(a)にプロットした。反転読み出しビット線電圧  $V_{BS}$  は、Ti 比率 0.7 のときにピークとなった。これより Ti 比率が少ない場合には、 $\varepsilon_s$  が低下することが支配的となって  $V_{BS}$  が低下する。また、Ti 比率が高い場合には、 $V_c$  が高くなることが支配的となって、 $V_{BS}$  が低下する。一方、非反転読み出しのビット線電圧  $V_{BN}$  は、Ti 比率の上昇に伴って単調減少する。これは、 $\varepsilon_N$  が Ti 増大に従って単調に減少するからである。以上の結果として、2T2C セルにおける読み出しビット線電圧マージン  $\Delta V_B$  は、Zr/Ti=30/70 で最大となる。

図 4.22(b)は、セットパルスの電圧を変化させてパルス測定を行い、その結果から駆動電圧を変化させた場合の  $\Delta V_B$  を見積もった結果である。3V 駆動を想定した最適化の結果得られた 30/70-PZT は、2.5V 駆動や 5V 駆動でも最大マージンを確保することができる。このように、この組成の PZT は、幅広い動作条件で、安定な動作マージンを確保できることが分かる。ただし、以上の結果は、ここで想定した回路パラメータを用いた場合であり、設計ルールや回路規模などのパラメータが変動した場合には、最適な組成が変動する可能性は考えられる。その場合には、デバイスに用いる PZT の B サイト組成を変化させることで、常に安定動作を確保することが可能となる。



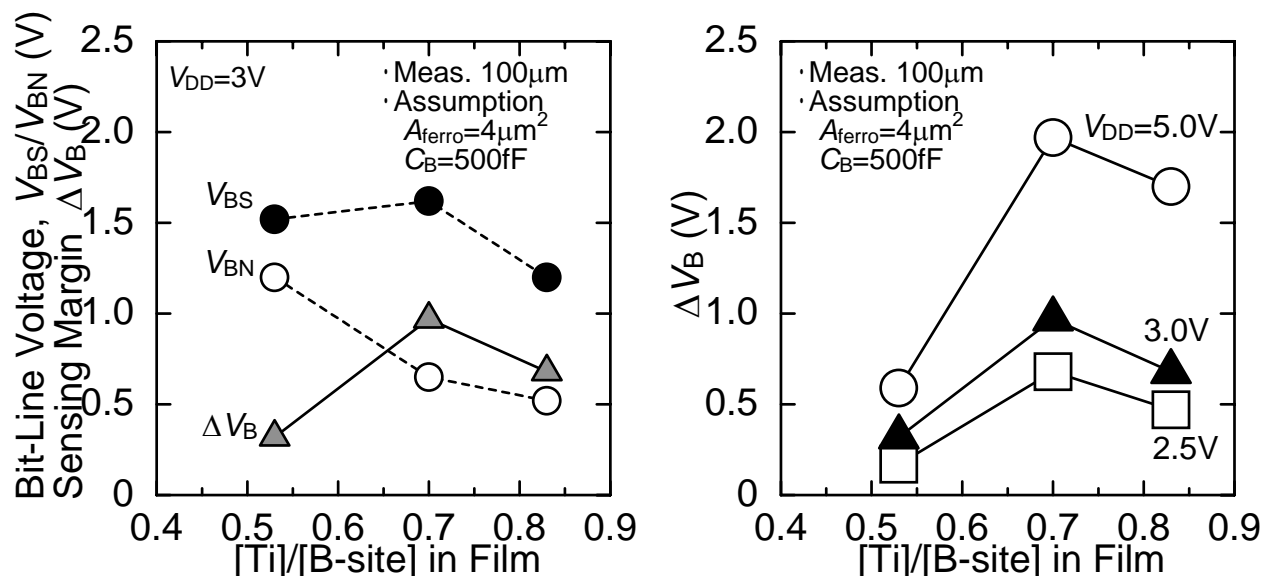
(a)  $V_{DD}=3V$  動作時の  $V_{BS}$ ,  $V_{BN}$ ,  $\Delta V_B$  (図 4.21より決定).(b) 駆動電圧を変化させた場合の  $\Delta V_B$ .

図 4.22 パルス測定より見積もったの B サイト組成依存性.

#### 4.4.4 エージング特性の B サイト組成依存性

以上では、FeRAM の初期動作特性を向上させるための検討を行ってきた。しかし、FeRAM の信頼性を議論する場合には、エージング特性も十分考慮しなければならない。ここでは、疲労特性およびスタティックインプリント特性の B サイト組成依存性についてまとめる。これらの信頼性に関する詳細な説明は、第 5 章で述べている。

図 4.23に、2.2節で定義した fatigue rate ならびに imprint rate の B サイト組成依存性を示す。(a)は、 $10^8$  回の疲労サイクルによる、残留分極の初期値からの減少率をとった fatigue rate である。疲労は、B サイトの Ti 組成が増大することで劣化する特徴を示した。PZT における B サイト中の Ti 比率が増大すると、図 1.9で示したように、 $a/c$  軸比が小さくなる。すなわち、 $c$  軸が伸びて  $a$  軸が縮むような格子の非対称性が大きくなる。したがって、分極反転の際に生じる格子の機械的変位が大きくなり、膜としての応力変化も大きくなる。分極反転の繰り返しによって生じる応力の反復によって、マイクロクラックが発生することが疲労の要因になるという説もある。[19]

図 4.23(b)には、150、90 日間の分極保持によるヒステリシスシフトの抗電圧に対する比率をとった imprint rate である。インプリントは、30/70-PZT の場合が最も大きくなり、Ti 比率が少ない場合も多い場合もインプリント耐性は向上した。インプリントは、残留分極によって発生する内部電界によって引き起こされる、固定電荷の再分布であるという説が有力である。もし、この説が正しいならば、残留分極が小さくなることで、インプリント耐性が向上することが推察される。47/53-PZT の場合は、表 5-5で示したように残留分極が小さいため、インプリント耐性が向上している可能性がある。しかし、

17/83-PZT の場合には、残留分極が 30/70-PZT の場合と同程度であるにもかかわらず、インプリントレートが低下している。この両者間では、残留分極は同程度であるが、抗電圧に差が見られ、17/83-PZT の方が高い抗電圧を示す。しかし、シフト電圧の絶対値は、30/70-PZT の場合は 0.94V、17/83-PZT の場合は 0.64V であり、絶対値で比較しても 30/70-PZT の方がシフト電圧が大きい。このように、17/83-PZT が、30/70-PZT よりもインプリントレートが小さいのは、17/83-PZT の方が抗電圧が大きいことだけが要因ではない。以上のことから、Ti 組成が増大した場合には、インプリントの起源と考えられる、膜中の固定電荷量が小さくなるという可能性が考えられる。しかし、現在のところ、インプリントに影響する固定電荷の正体は見極められていない。何らかの欠陥が関係している可能性が高いが、多結晶 PZT 膜中に存在する荷電欠陥の同定や密度の測定は行われていない。今後、このような欠陥の本質を見極め、低減することで、デバイスの信頼性が飛躍的に向上することが期待される。

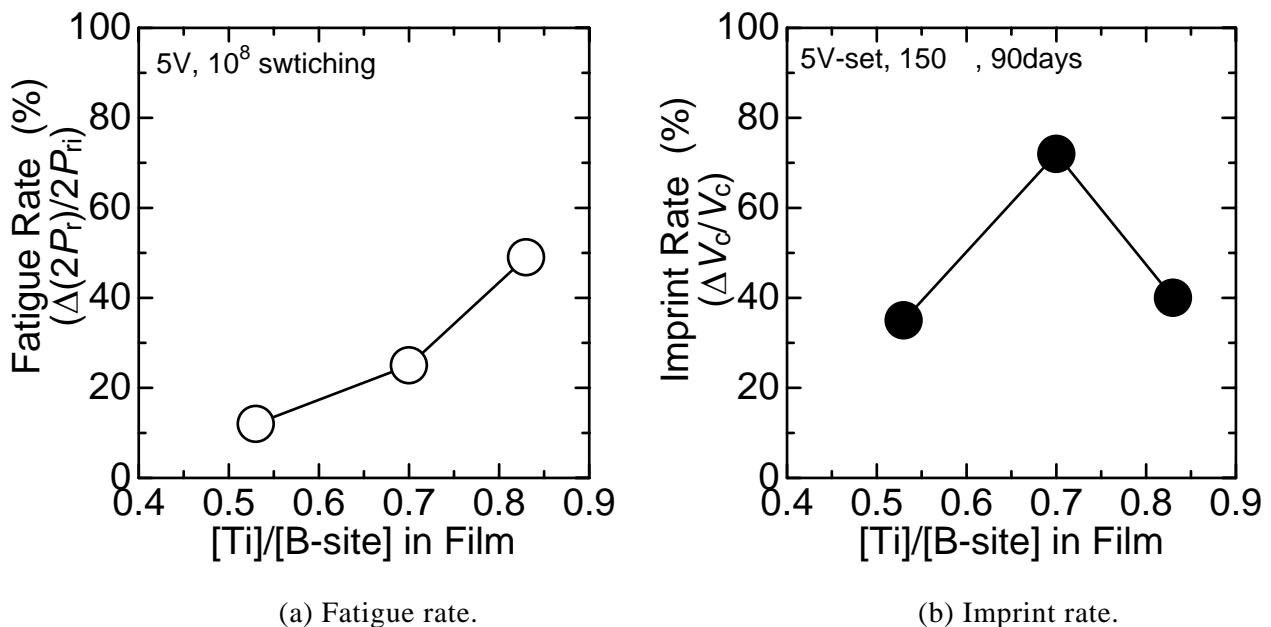


図 4.23 疲労及びインプリント特性の B サイト組成依存性。

#### 4.4.5 PZT 膜厚制御による FeRAM 動作特性の制御

FeRAM 動作特性を考える場合、PZT の膜厚も重要な要素となる。強誘電体膜厚は、薄くした方が、容量に印加される電界強度が強くなるので好ましいといわれる。しかし、これまで述べてきたように、FeRAM の動作マージンを考える場合には、単純に抗電界や残留分極のみで議論できない。ここでは、膜厚を変化させて、FeRAM の動作マージン等を調べた結果を述べる。B サイト組成を Zr/Ti=30/70 とし、スパッタ成膜時間を変えることで膜厚を制御し、容量の試作を行った。

図 4.24 に、膜厚の異なる容量のヒステリシスループをまとめる。印加する三角波の振幅電界が一定となるような電圧を印加して測定した。実際に測定した電圧は、図の右に示している通りである。

膜厚が、150～400nm の範囲では、 $P$ - $E$ （電荷-電界）ヒステリシスループは、完全に一致しており、薄膜化による特性のスケールリングが行われている。しかし、100nm まで薄膜化すると、残留分極が低下し、ヒステリシスループが小さくなった。このような、薄膜化に伴う強誘電性の劣化は、PZT と電極の界面に存在する常誘電性の界面層の影響であるという報告がある。[20]

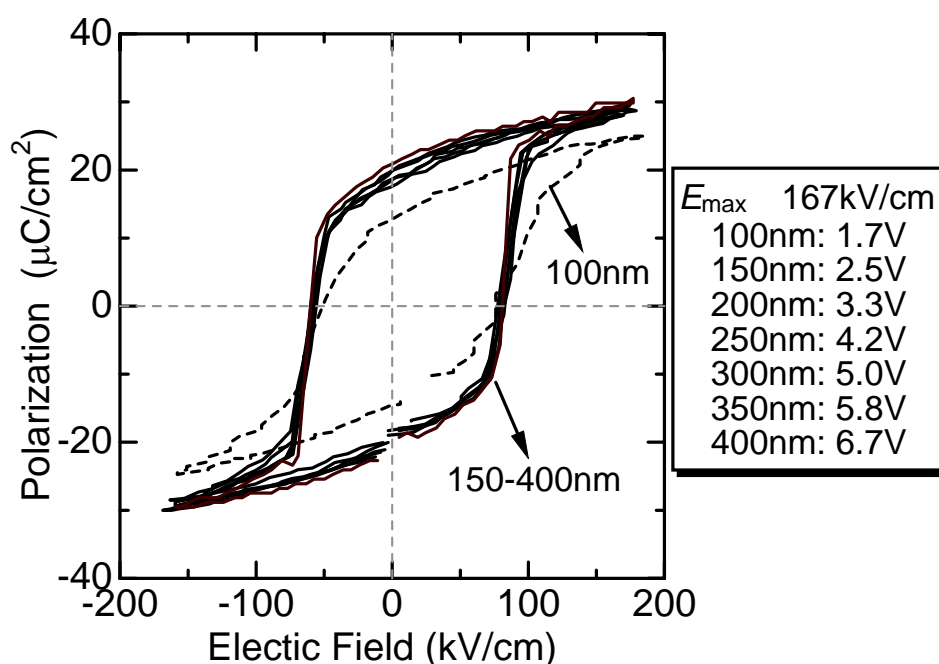


図 4.24 ヒステリシス特性の PZT 膜厚依存性（振幅電界一定）。

図 4.25 に、100 $\mu$ m 容量で測定したパルス測定結果をもとに計算した、ビット線電圧のマージン  $\Delta V_B$  をプロットした。横軸は PZT 膜厚で、縦軸は強誘電体容量面積  $A_{\text{ferro}}=4\mu\text{m}^2$ 、ビット線容量  $C_B=500\text{fF}$  と仮定した場合に想定される  $\Delta V_B$  である。膜厚が 100nm の場合には、図 4.24 でも示したように、強誘電性の劣化に起因すると思われる  $\Delta V_B$  の低下が見られる。150nm 以上の膜厚では、ヒステリシス特性は電界に対して線形にスケールリングしていた。しかし、5V 動作時の  $\Delta V_B$  は PZT 膜厚が 250nm のときにピーク値をとることが分かる。一方、駆動電圧を下げて、2.5V 動作の場合を考えると、 $\Delta V_B$  は PZT 膜厚に対して単調減少する特徴を示した。

PZT 容量の抗電界が一定である場合、PZT 膜厚が増加することで、抗電圧  $V_c$  が上昇する。したがって、反転読み出しビット線電圧  $V_{BS}$  が低下し、 $\Delta V_B$  が低下する。抗電圧の上昇が要因で  $\Delta V_B$  が低下しているのは、5V 動作時の 250nm 以上、および 2.5V 動作時の 150nm 以上の場合である。5V 動作時に、150～250nm の範囲で  $\Delta V_B$  が上昇しているのは、非反転読み出し電圧  $V_{BN}$  の上昇が原因である。非反転読み出し時は、ヒステリシスが飽和している部分の容量カーブを用いており、その容量は強誘電体の線形容量成分とみなすことができることは既に述べた。線形容量成分は、誘電率が一

定であれば、膜厚が増加することで容量値が減少する。したがって、非反転容量は、膜厚が増大することで減少することになる。このため、PZT 膜厚が厚くなると、 $V_{BN}$  が低下することによって、 $\Delta V_B$  が増大するモードが観察される場合がある。

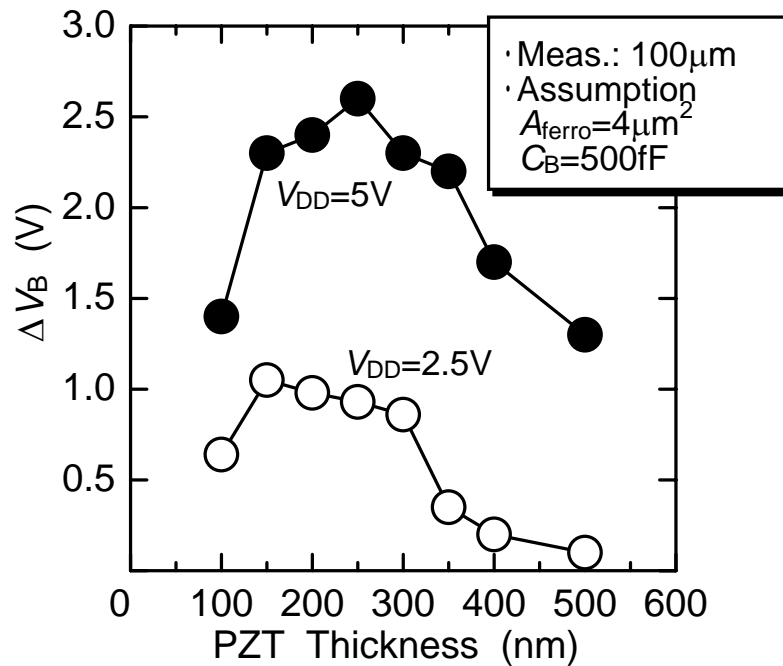


図 4.25 ビット線電圧マージンの PZT 膜厚依存性.

## 4.5 単層配線形成後の微細容量の特性

B サイト組成を Zr/Ti=30/70、PZT 膜厚を 200nm とした微細容量を試作し、その容量特性の評価を行った。図 4.26 に微細容量の試作工程を示す。図 2.6 の工程に引き続き、レジストマスクを用いて PZT および下部電極を一括でパターニングする。PZT/下部電極は、上部電極のサイズより  $1\mu\text{m}$  広い (片側  $0.5\mu\text{m}$ ) ライン状にパターニングされている。図 4.26(a)において、紙面に並行に走るライン状の PZT/下部電極上に、上部電極がドット状に形成されている。実際のデバイスでは、このライン状の下部電極がプレート線として機能する。

続いて、(a)に示すように、 $\text{O}_3$ -TEOS (Tetraethyl orthosilicate) 熱 CVD (Chemical Vapor Deposition) 法により、容量カバー膜を 400nm 成膜する。[21] 次に、(b)に示すように、上部電極および下部電極が露出するように、コンタクトエッチングを行う。その後、Al 配線材料をスパッタ成膜し、上部電極を並列接続するように、RIE による配線加工を行う。容量特性の測定は、(c)に示すようにプローバを当てて行う。試作した容量のサイズは、 $2\mu\text{m}$  ( $4\mu\text{m}^2$ )、 $3\mu\text{m}$  ( $9\mu\text{m}^2$ )、 $5\mu\text{m}$  ( $25\mu\text{m}^2$ )、 $10\mu\text{m}$  ( $100\mu\text{m}^2$ )である。並列容量数は、容量の総面積が  $10000\mu\text{m}^2$  となるように決定した。

図 4.27(a)に、微細容量のパルス測定から得られた残留分極  $2P_r$  の容量サイズ依存性を示す。容量の特性にサイズ依存性は見られず、安定した特性が確保できている。しかし、上部電極のみを加工した  $100\mu\text{m}$  容量の  $2P_r$  は  $42\mu\text{C}/\text{cm}^2$  ある (表 4-2参照) ことを考えると、配線工程によって分極特性が劣化していると考えられる。このような、配線工程における劣化の詳細については5.5節で述べる。

図 4.27 (b)に、 $2\mu\text{m}$  容量で測定した  $\Delta V_B$  の疲労特性を示す。これは、疲労パルス印加後にパルス測定を行い、疲労サイクルごとの  $\Delta V_B$  を見積もったものである。ここでも、ビット線容量は  $500\text{fF}$  と仮定した。5V 駆動の場合には、 $10^8$  回以上で、容量の疲労にともなう  $\Delta V_B$  の低下が見られた。2.5V 駆動では、 $10^9$  回までに  $\Delta V_B$  の疲労劣化は全く見られなかった。

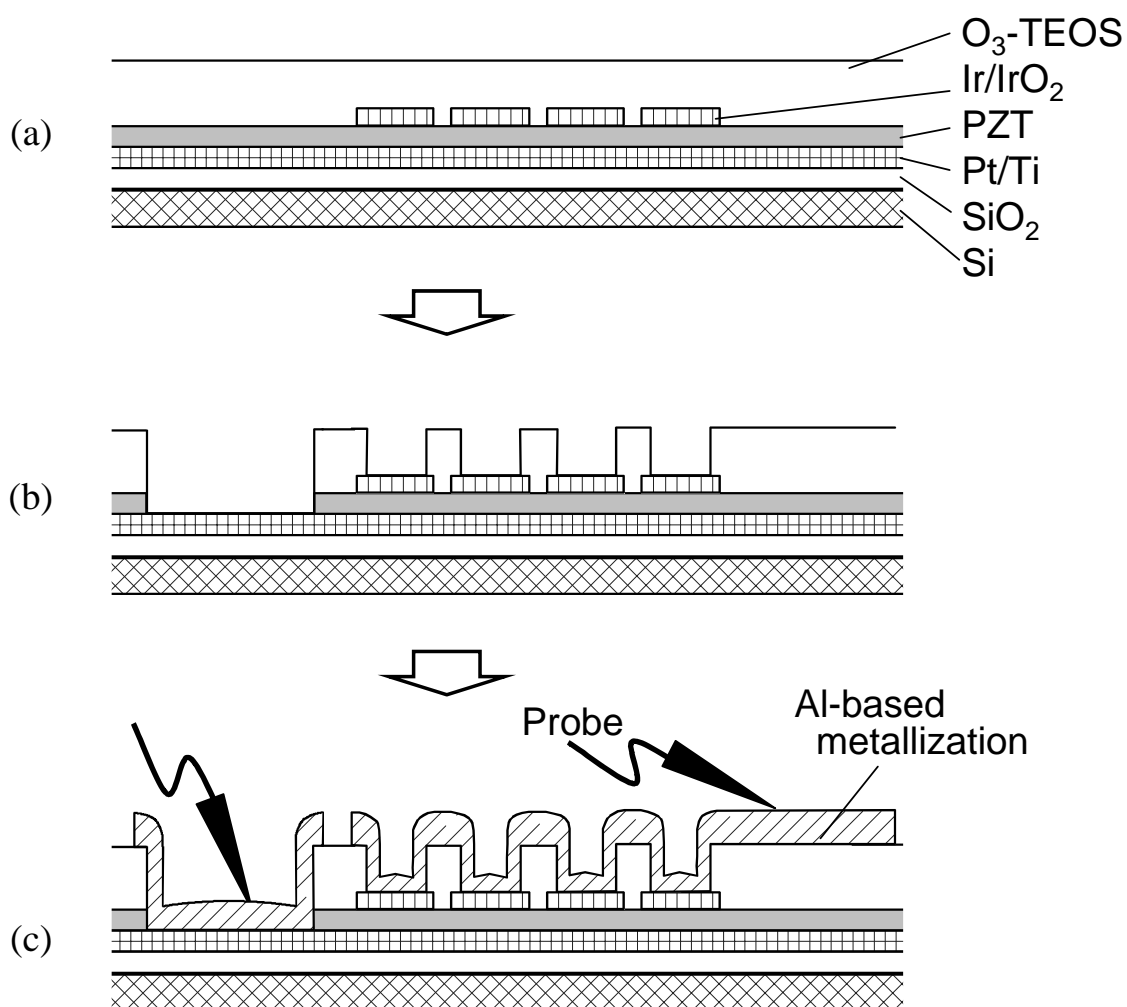


図 4.26 微細容量の試作工程.

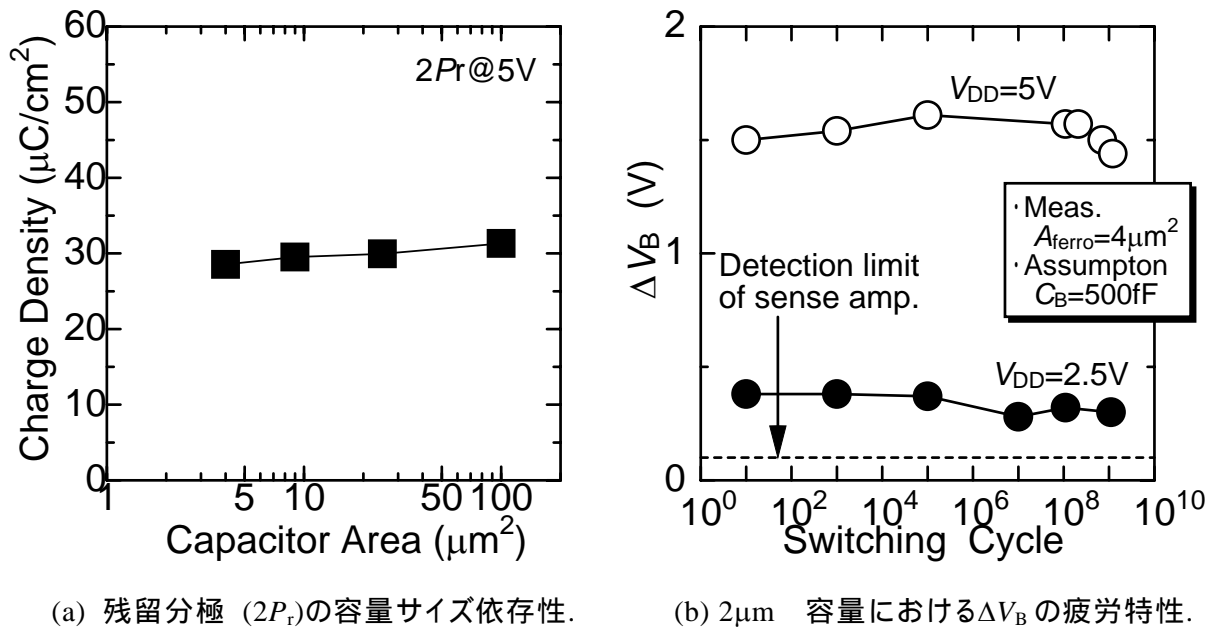
(a) 残留分極 ( $2P_r$ )の容量サイズ依存性.(b)  $2\mu\text{m}$  容量における $\Delta V_B$ の疲労特性.

図 4.27 微細容量の特性.

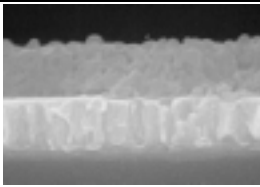
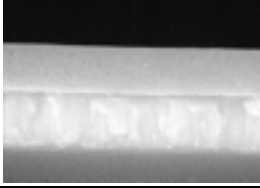
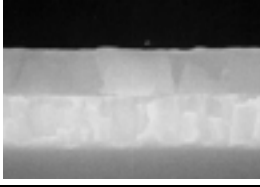

## 4.6 本章のまとめ

本章では、相転移アニールを活用したペロブスカイト相 PZT 膜の成膜についての検討を行った後、FeRAM の初期動作の安定性を向上させるための物性制御を行った。

表 4-3に、PZT 成膜に関する検討結果をまとめる。300 以下の低温でスパッタを行った場合には、as-deposited では非晶質であり、酸素アニールによってランダム配向のペロブスカイト PZT に転移する。しかし、膜の凹凸が大きく、リーク電流も高いレベルにあり、容量膜としては適さない。350 ~ 400 でスパッタした場合には、(400)面の配向度が高いパイロクロア膜が得られる。この膜を、酸素アニールすると、(111)面の配向度が高いペロブスカイト相へと転移する。膜の表面も平坦であり、リーク電流は  $10^{-5}\text{A}/\text{cm}^2$  程度、 $2P_r$  も  $20\mu\text{C}/\text{cm}^2$  程度と、比較的良好な強誘電性が得られた。さらに、成膜温度を上昇させ、450 ~ 500 の場合とした場合には、(222)配向度が高いパイロクロア相となり、アニールによって、分極軸方向である $\{100\}$ 配向を示すペロブスカイト相に転移する。この場合も膜表面は平坦で、リーク電流レベルは  $10^{-6}\text{A}/\text{cm}^2$ 、 $2P_r=25\mu\text{C}/\text{cm}^2$  と、容量の特性は大幅に向上した。

パイロクロア相からペロブスカイト相へ転移する場合、転移前後の配向から考えると、酸素八面体が保存された状態で転移すると考えられる。550 以上でスパッタした場合には、組成分析結果から、Pb が欠損していることが分かった。XRD の結果からも、Pb 欠損の結晶相が認められており、高温成膜によって揮発性の高い Pb 成分が再蒸発していることが確認された。

表 4-3 相転移アニールによる PZT 成膜の検討結果 (膜中 B サイト組成: Zr/Ti=47/53).

	As-deposited	600 °C, O <sub>2</sub> -annealed		
	Phase/ Orientation	Phase/ Orientation	Micro structure	Electrical property
RT   300	Amorphous	Perovskite/ Random		<ul style="list-style-type: none"> <li>・ Ferroelectric</li> <li>・ <math>2P_r \sim 10\mu\text{C}/\text{cm}^2</math></li> <li>・ <math>I_L \sim 10^{-3}\text{A}/\text{cm}^2</math></li> </ul>
350   400	Pyrochlore/ (400)>(222)	Perovskite/ (111)>{100}		<ul style="list-style-type: none"> <li>・ Ferroelectric</li> <li>・ <math>2P_r \sim 20\mu\text{C}/\text{cm}^2</math></li> <li>・ <math>I_L \sim 10^{-5}\text{A}/\text{cm}^2</math></li> </ul>
450   500	Pyrochlore/ (222)>(400)	Perovskite/ {100}>(111)		<ul style="list-style-type: none"> <li>・ Ferroelectric</li> <li>・ <math>2P_r \sim 25\mu\text{C}/\text{cm}^2</math></li> <li>・ <math>I_L \sim 10^{-6}\text{A}/\text{cm}^2</math></li> </ul>
550   650	Pb(Zr,Ti) <sub>3</sub> O <sub>7</sub> (Pb-short phase)	Pb(Zr,Ti) <sub>3</sub> O <sub>7</sub> (Pb-short phase)		<ul style="list-style-type: none"> <li>・ Non-Ferroelectric</li> </ul>

FeRAM の初期特性を安定化させるためには、回路パラメータに見合った特性を有する強誘電体容量を選定する必要がある。FeRAM セル動作は、読み出しビット線電圧 $\Delta V_B$ が広くなるほど安定である。このためには、ステリシスにおける、抗電圧  $V_c$  が小さく、反転/非反転誘電率比 ( $\varepsilon_S/\varepsilon_N$ ) が大きくなればよい。PZT の場合には、B サイトの組成比を変化させることで、強誘電特性が変化するので、諸特性の B サイト依存性を評価し、最適組成の検討を行った。

表 4-4に、容量特性の B サイト組成依存性をまとめる。B サイトにおける Ti 比率が増大すると、 $V_c$ 、 $\varepsilon_S/\varepsilon_N$  ともに高くなることが分かった。したがって、回路パラメータや動作電圧によって最適な組成が異なる可能性がある。そこで、0.8 $\mu\text{m}$  ルールの FeRAM における典型的な回路パラメータとして、ビット線容量  $C_B=500\text{fF}$ 、強誘電体容量面積  $A_{\text{ferro}}=4\mu\text{m}^2$  を用いて、 $\Delta V_B$  を解析的に求め、最適組成の

検討を行った。その結果、30/70-PZT を用いた場合に、2.5 ~ 5V の広い範囲で $\Delta V_B$  が最大となり、FeRAM の安定動作を実現することが分かった。

ただし、疲労耐性やインプリント耐性などの、長期信頼性に関しては、問題が残っている。特に、インプリント耐性に関しては、150 のデータ保持を 1 年も行わないうちに、逆データのメモリ動作が不可能になることが判明した。次の第 5 章では、FeRAM のインプリント不良を予測するモデルを提案し、その手法を用いて、インプリント耐性の強い PZT 容量の探索を行った結果を述べる。

表 4-4 容量特性の B サイト組成依存性のまとめ.

Property		Measurement <sup>*1</sup>	Conditions	Zr/Ti ratio			
				47/53	30/70	17/83	
Basic properties	2P <sub>r</sub> (μC/cm <sup>2</sup> )		Hysteresis loop (2.2(1))	5V, 10 kHz saw-tooth wave	9	21	20
	V <sub>c</sub> (V)				0.7	1.3	1.6
	ε <sub>S</sub>				3900	9000	11000
	ε <sub>N</sub>				710	420	340
	ε <sub>S</sub> / ε <sub>N</sub>				5.5	21	32
Sensing margin <sup>*2</sup>	ΔV <sub>B</sub> (V)		Pulse measurement (2.2(2))	5V-drive	0.6	2.0	1.7
				3V-drive	0.3	1.0	0.7
				2.5V-drive	0.2	0.7	0.4
Aging reliability	Fatigue rate		2.2(3)	1 MHz, 5V	12%	25%	49%
	Static imprint	rate	2.2(4)	90 days retention @150°C, 5V	35%	72%	40%
		lifetime	5.3		0.7 years	0.7 years	2.5 years

\*1 本論文中で評価法を記載している節番号を示す。

\*2  $A_{\text{ferro}}=4\mu\text{m}^2$ ,  $C_B=500\text{fF}$  とした場合。



## 参考文献

- [1] H. Matsunami, M. Suzuki, M. Ishida, and T. Tanaka, *Jpn. J. Appl. Phys.*, **15**, 1163 (1976).
- [2] A. Okada, *J. Appl. Phys.*, **48**, 2905 (1977).
- [3] R. Takayama and Y. Tomita, *J. Appl. Phys.*, **65**, 1666 (1989).
- [4] K. Abe, H. Tomita, H. Toyoda, M. Imai, and Y. Yokote, *Jpn. J. Appl. Phys.*, **30**, 2152 (1991).
- [5] K. Iijima, I. Ueda, and K. Kugimiya, *Jpn. J. Appl. Phys.*, **30**, 2149 (1991).
- [6] K. Hirata, N. Hosokawa, T. Hase, T. Sakuma, and Y. Miyasaka, *Jpn. J. Appl. Phys.*, **31**, 3021 (1992).
- [7] A. Fujisawa, M. Furihata, Y. Minemura, Y. Onuma, and T. Fukami, *Jpn. J. Appl. Phys.*, **32**, 4048 (1992).
- [8] H. H. Park, I. S. Jin, D. H. Kim, and T. S. Kim, *Thin Solid Films*, **332**, 300 (1998).
- [9] S. Ozawa, S. Mihara, H. Noshiro, Y. Horii, M. Shibata, T. Takamatsu, M. Nakamura, Y. Nishioka, T. Masuda, Y. Miyaguchi, N. Tani, K. Suu, and T. Yamazaki, *Ext. Abst. of 2000 SSDM*, 266 (2000).
- [10] S. Aggarwal, S. Madhukar, B. Nagaraj, I. G. Jenkins, R. Ramesh, L. Boyer, and J. T. Evans, Jr., *Appl. Phys. Lett.*, **75**, 716 (1999).
- [11] K. Suu, A. Osawa, N. Tani, M. Ishikawa, K. Nakamura, T. Ozawa, K. Sameshima, A. Kamisawa, and H. Takasu, *Jpn. J. Appl. Phys.*, **35**, 4967 (1996).
- [12] Y. Fukuda and K. Aoki, *Jpn. J. Appl. Phys.*, **36**, 5793 (1997).
- [13] K. Suu, A. Osawa, Y. Nishioka, and N. Tani, *Jpn. J. Appl. Phys.*, **36**, 5789 (1997).
- [14] K. Suu, A. Osawa, N. Tani, M. Ishikawa, and K. Nakamura, *Integrated Ferroelectrics*, **14**, 59 (1997).
- [15] S. Yamauchi and M. Yoshimaru, *Integrated Ferroelectrics*, **14**, 159 (1997).
- [16] T. Yamamoto, *Jpn. J. Appl. Phys.*, **35**, 2149 (1996).
- [17] T. Sakoda, K. Aoki, and Y. Fukuda, *Jpn. J. Appl. Phys.*, **38**, 3600 (1999).
- [18] B. Jiang, P. Zurcher, R. E. Jones, S. J. Gillespie, and J. C. Lee, *Symp. VLSI Technology 1997 Dig. Tech. Papers*, 141 (1997).
- [19] H. N. Al-Shareef, A. I. Kingon, X. Chen, K. R. Bellur, and O. Auciello, *J. Mater. Res.*, **9**, 2968 (1994).
- [20] K. Amanuma, T. Mori, T. Hase, T. Sakuma, A. Ochi, and Y. Miyasaka, *Jpn. J. Appl. Phys.*, **32**, 4150 (1993).
- [21] J. Kawahara, T. Matsuki, and Y. Hayashi, *Jpn. J. Appl. Phys.* **40**, 2341 (2001)

## 第5章

# インプリント現象のモデル化と FeRAM の信頼性向上

### 5.1 強誘電体のエージング特性と FeRAM の信頼性

強誘電体容量には特有のエージング特性があり、FeRAM の長期信頼性に大きな影響を及ぼす。したがって、FeRAM の長期信頼性を保証するためには、強誘電体容量のエージング特性の振る舞いを把握する必要がある。以下で、「疲労」、「保持」、「インプリント」の各エージング特性に関して概説する。全てのエージング特性に関して、いくつかのモデルは提唱されているが、明確なメカニズムは明らかにはなっていない。したがって、FeRAM の長期信頼性を予測し、保証するために、経験的な手法が用いられることが多い。強誘電体容量のエージング特性のメカニズム解明については、今後の大きな課題である。

まず、「疲労」について説明する。疲労は、分極反転の繰り返しによって、反転分極量が減少する現象である。疲労劣化による残留分極の減少は、FeRAM の不揮発保持動作を困難にする。疲労現象は、酸化物電極を採用することで、大幅に改善することが知られており、強誘電体/電極界面における酸素欠陥が関係しているという説が一般的である。疲労を改善するための酸化物電極としては、 $\text{YBa}_2\text{Cu}_3\text{O}_x$  (YBCO) [1,2]、 $(\text{La,Sr})\text{CoO}_3$  (LSCO) [3,4]、 $\text{SrRuO}_3$  (SRO) [5]などの複合金属酸化物や、 $\text{RuO}_2$  [6]、 $\text{IrO}_2$  [7,8]などの貴金属酸化物が用いられている。図 5.1に、酸化物電極を採用したことによる疲労特性改善効果の一例を示す。(a)は、上下の電極に Pt を用いた場合で、 $10^5$  回の分極反転を超えると反転電荷が低下し始める。これに対して(b)の Ir/IrO<sub>2</sub> 電極の場合には、 $10^8$  回から劣化が始まる。このように、上部電極を酸化物電極に変えることによって、1000 倍も疲労耐性が向上している。

疲労は、分極の低下という現象として表れ、残留分極は FeRAM における不揮発性データ保持に直接関わる量である。したがって、FeRAM における信頼性は、図 5.1に示すような評価を行うことで簡易的に見積もることが可能である。疲労試験の最も簡単な加速手法は、高周波の両極性パルス印加することである。例えば、1MHz のパルスであれば、1 秒間で  $10^6$  回の疲労パルスを印加することが可能である。パルス電圧を上昇させたり、試験温度を上昇させたりすることで、さらなる加速試験を行う手法も考えられるが、疲労のメカニズムが明確になっていないため、信頼性保証を行うモデルは構築されていないのが現状である。今後、例えば  $10^{12}$  回程度以上の疲労を完全に保証するためには、こういった加速試験を確立していく必要がある。

次に、「保持」特性である。保持特性は、強誘電体容量に分極処理を施した後に、外部電界を除去した状態で保持した場合に、残留分極が低下する現象である。[9-11] しかし、一般的な強誘電

体容量では、残留分極の減少速度が極めて遅く、保持不良になるような報告はされていない。むしろ、分極の保持によってその分極が固定化されてしまうインプリントの方が問題であり、数多くの検討がされている。

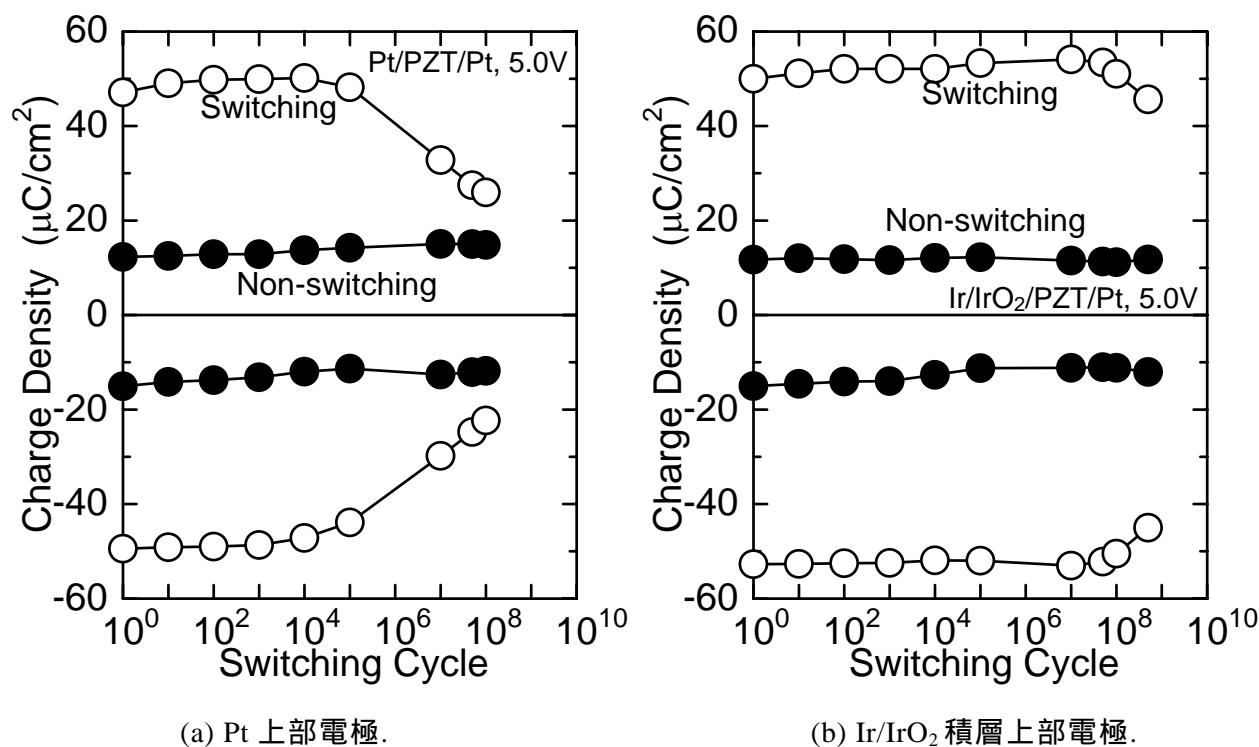


図 5.1 酸化物電極の採用による疲労特性の改善効果.

最後に、「インプリント」特性である。インプリントは、一方向への分極が容易に、逆方向への分極が困難になる現象である。インプリントは、図 5.2に示すように、ヒステリシスループの電圧軸方向へのシフトとして表れる。インプリントには、「ダイナミックインプリント」と「スタティックインプリント」の 2 つのモードが考えられている。「ダイナミックインプリント」は、片側極性の連続的な電圧印加によって引き起こされるインプリントである。[12] FeRAM の動作においては、同一データの連続的な書き込みに対応する。「スタティックインプリント」は、分極を保持することで引き起こされるインプリントであり[13,14]、例えば正の分極を保持し続けることで、正の分極が固定化されてしまう現象である。

ダイナミックインプリントは、疲労特性と同様に、高周波の単極性パルス印加によって、加速的な試験を行うことが可能である。しかし、スタティックインプリントは、そのモデルが明確ではないので、経験的手法による予測法を確立する必要がある。以下では、特に断らない限り、スタティックインプリントのことを「インプリント」と表記する。

インプリントについても、疲労特性や保持特性と同様に、残留分極の減少でモニタする報告が多い。[3,12,15,16]しかし、非線形な形状を示すヒステリシスがシフトするという現象であるため、そのシ

フトレートと分極の変化の関係は非線形である。したがって、短時間のデータ保持によって測定した分極の変化から、将来的な信頼性の予測を行うのは危険である。

本章では、ヒステリシスの非線形性を考慮した FeRAM の信頼性予測モデルを提唱する。本モデルは、インプリントによって顕著になる、「分極緩和」[17-19] と呼ばれる現象をもモデル化して取り込むことで、より確度の高い信頼性予測法となっている。さらに、本手法を活用して、PZT の A サイト組成を制御することで信頼性の向上を図った結果を述べる。最後に、FeRAM マクロを試作し、容量特性に及ぼすインテグレーションプロセスの影響や、メモリの動作特性などを評価した結果をまとめる。

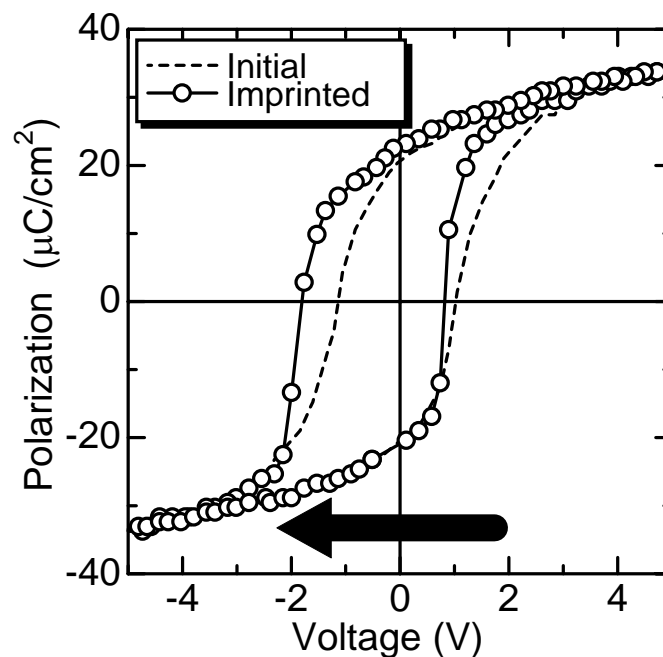


図 5.2 インプリント現象.

## 5.2 実験

基板には、BPSG (Boro-Phospho Silicate Glass) を 600nm 成膜した Si ウエハを用いた。まず、密着層として Ti を 20nm、下部電極として Pt を 200nm スパッタ成膜した。PZT は、450 °C、Ar/O<sub>2</sub>=9/1、5.7mTorr、3kW で 330 秒間スパッタ成膜し、酸素雰囲気中で 600 °C の 1st アニールを行ってペロブスカイト相に転移させた。PZT の膜厚は 200nm とした。本章では、A サイト組成を変化させたターゲットを用いて、信頼性に及ぼす影響も評価した。用いたターゲット組成は、Pb<sub>1.10</sub>Zr<sub>0.35</sub>Ti<sub>0.65</sub>O<sub>x</sub> (10% Pb 過剰), Pb<sub>1.05</sub>Zr<sub>0.35</sub>Ti<sub>0.65</sub>O<sub>x</sub> (5% Pb 過剰), Pb<sub>1.02</sub>La<sub>0.03</sub>Zr<sub>0.35</sub>Ti<sub>0.65</sub>O<sub>x</sub> (2% Pb 過剰 + 3% La 添加) である。ターゲットの Pb 過剰量を減じると、ターゲットの密度が低下し、脆くなるため La を添加している。また、La 添加は信頼性向上に効果的であるという報告もある。[19]

図 2.6に示した手順で、 $100\mu\text{m}$  容量を試作し、容量の諸特性の評価を行い、適宜解析や特性のモデル化を行った。PZT 成膜後には、上部電極としてパワースイング法 (3.4.1参照) により、 $\text{Ir}(\text{O})/\text{IrO}_2$  をスパッタ成膜した。上部電極スパッタ条件は、 $200^\circ\text{C}$ 、 $\text{Ar}/\text{O}_2=4/1$ 、 $21\text{mTorr}$  とし、 $\text{IrO}_2$  を  $1.4\text{kW}$  で、 $\text{Ir}(\text{O})$  を  $6.0\text{kW}$  で成膜した。 $\text{Ir}(\text{O})/\text{IrO}_2$  の膜厚は  $100/50\text{nm}$  である。上部電極成膜後、フォトレジストをマスクとして RIE により上部電極のエッチングを行った。最後に、上部電極エッチングによって導入されたダメージの回復を目的として、 $600^\circ\text{C}$  の酸素アニールを行った。

## 5.3 非線形性を考慮したインプリント不良の予測モデル

### 5.3.1 インプリントによる FeRAM の故障モード

インプリントには、書き込み不良と読み出し不良の 2 つの不良モードが存在する。図 5.3に、書き込み不良モードを示す。書き込み不良は、ヒステリシスがシフトすることで、逆極性への書き込みが全くできなくなる現象である。[20] 書き込み不良モードは、さらに 2 種類に分けられる。図 5.3(a)は、電圧軸方向にシフトしたヒステリシスループの抗電圧  $V_c$  が、電源電圧  $V_{DD}$  より高くなる場合である。この場合には、電源電圧を十分に印加しても、その値が抗電圧以下であるため、分極反転が起こらず、逆データの書き込みが完全にできない。この不良モードは、低電圧動作時に問題となる。図 5.3(b)は、インプリントによるヒステリシスのシフト量  $\Delta V_c$  が、抗電圧  $V_c$  より大きくなり、2 つの抗電圧がともに同じ極性になってしまう場合である。図から明らかなように、残留分極がともに正となってしまうため、負の分極処理ができなくなる。

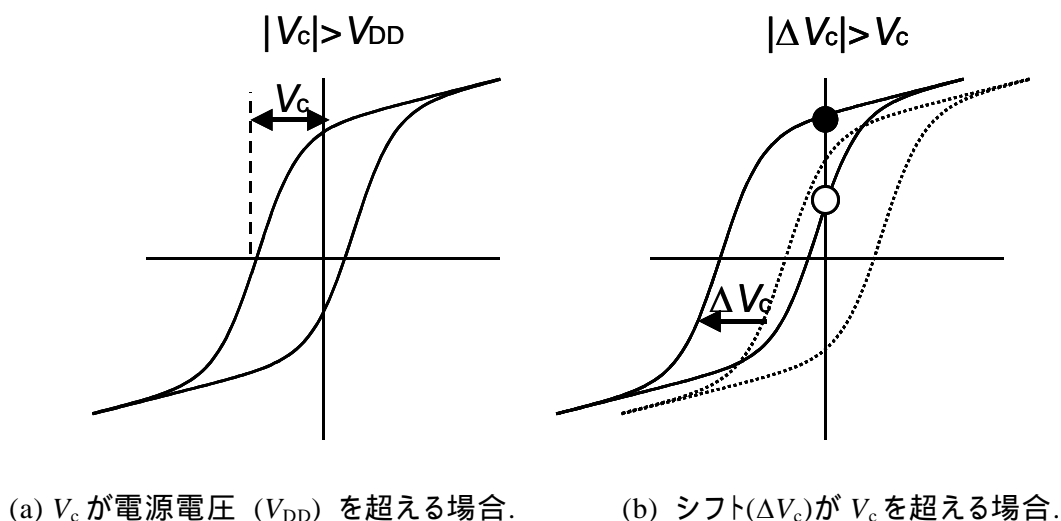


図 5.3 インプリントによる書き込み不良モード.

現状の FeRAM で用いられている PZT 容量の抗電圧は 1V 前後であり、動作電圧は 3~5V である。したがって、(a)のモードの不良が発生する前に(b)のモードの不良が発生することになる。(a)の不良モードは、今後 LSI の電源電圧が低下してくると問題となってくるが、当面は(b)の不良モードが書き込み不良を律速することになる。(b)の不良モードの場合、2 値情報は、同極性で値の異なる残留分極で保持されることになる。しかし、この場合は、図から分かるように、二つの双安定点を有しており、2 値情報の保持ができていない。1T1C セルの場合には、共通のリファレンスレベルを設定する関係で、このデータ判別は困難となるが、2T2C セルの場合には、同極性の残留分極でも読み出しができる可能性がある。したがって、(b)のモードは、正確には書き込み不良と断定することはできない。

一方、読み出し不良は、ヒステリシスから直接判断することはできない。図 1.5に示した、負荷線法に基づいて得られるビット線電圧マージンが、センスアンプの検出限界 (100mV 程度) 以下となるときに不良が発生する。したがって、その寿命は、容量特性のみならず、容量のサイズやビット線容量などの回路パラメータにも依存する。そこで、インプリントによる読み出し不良モードをモデル化し、FeRAM の長期信頼性予測手法を確立することを本節の目的とした。

### 5.3.2 ヒステリシスシフトのモデル化による 2T2C-FeRAM の信頼性予測

図 5.4に、2T2C-FeRAM セルにおける、セル容量のインプリントの様子を示す。2T2C セルでは、2 個の強誘電体容量に対して、相補的に分極処理を行うことで、1bit のデータ保持を行う。図の例の場合は、 $C_F$  が正、 $\bar{C}_F$  が負の残留分極を保持している。したがって、インプリントによって、 $C_F$  は負電圧側にシフトし、 $\bar{C}_F$  は正電圧側にシフトする。このように、2T2C セルで 1bit を記憶するために用いられる 2 個の強誘電体容量では、インプリントによって、互いに逆方向にヒステリシスのシフトが起こる。

図 5.5に、2T2C-FeRAM セルの読み出しにおけるインプリントの影響をまとめる。この場合も、 $C_F$  に正の分極を施し、 $\bar{C}_F$  に負の分極処理を施してデータの保持を行った場合について述べる。容量  $C_F$  は、正の分極保持によって、ヒステリシスが負側へシフトし、 $\bar{C}_F$  のヒステリシスは正側へシフトする。インプリントしたメモリセルで、インプリントしたデータと同じデータ (same state) の判別を行う場合には、非反転読み出し ( $C_F$ ) 時のチャージ変化が小さく、反転読み出し ( $\bar{C}_F$ ) 時のチャージ変化が大きくなる。このように、反転読み出しと非反転読み出しのチャージの差が大きくなるので、チャージから判断すると読み出しマージンが安定化する方向である。しかし、反転読み出し側で抗電圧が高くなっていることが、反転読み出し電圧の低下をもたらす可能性もあることに注意する必要がある。次に、インプリントしたデータと逆のデータ (opposite state) を読み出す場合について考える。図から分かるように、反転読み出しを行う容量 ( $C_F$ ) では、抗電圧が小さくなるが、チャージの変化量が小さくなり、非反転読み出しを行う容量 ( $\bar{C}_F$ ) ではチャージ変化が大きくなる。すなわち、反転読み出しと非反転読み出しのチャージの差が小さくなり、マージンが小さくなっている。インプリントに関しては、非線形なヒステリシスのシフトをもとに、ビット線電圧を解析的に求め、データ保持時間に対して非線形に変動するビット線電圧マージンを予測していく必要がある。

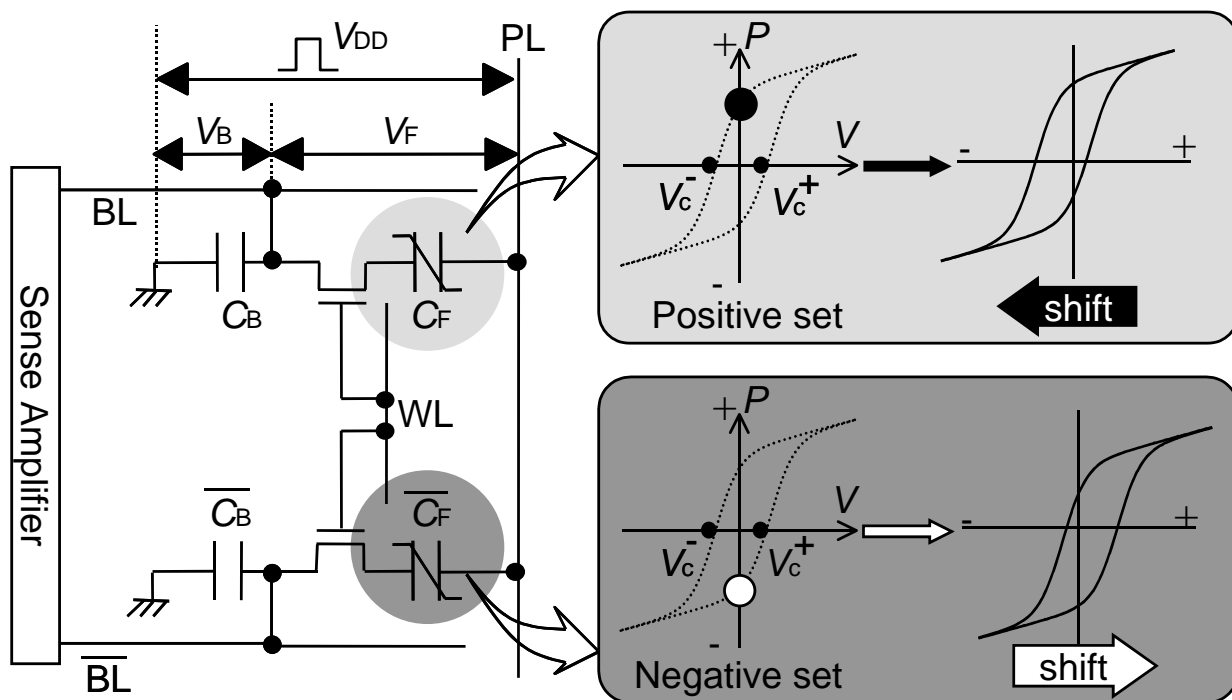


図 5.4 2T2C-FeRAM セル容量のインプリント.

	Hysteresis shift	Data read-out curve in the shifted hysteresis	
		"Same" state	"Opposite" state
$C_F$ <b>Storage</b> ↑ 	 Shift ←	 Non-switching read-out	 Switching read-out
$\overline{C_F}$ <b>Storage</b> ↓ 	 Shift →	 Switching read-out	 Non-switching read-out

図 5.5 2T2C-FeRAM セルの読み出しにおけるインプリントの影響.

図 5.6は、opposite state の読み出しマージンの低下を解析的に説明する図である。初期状態が点線で示された特性であり、インプリントによって実線のカーブで示された特性に変化する。この場合、反転読み出しビット線電圧が低下すると同時に、非反転読み出しビット線電圧が上昇することで、読み出しマージン $\Delta V_B$  が小さくなっていることが分かる。以上が、インプリントによって引き起こされる読み出し不良の概念である。

ヒステリシスを定式化し、インプリントの影響をそのシフトで表現することで、図式解法（図 1.5）と組み合わせて信頼性予測を行う。まず、非線形の  $P$ - $V$  ヒステリシス形状を、以下の式で表現する。  
[21]

$$P(V) = P_0 \tanh(a(V \pm V_c)) + C_p V \quad (5.1)$$

$P_0$ : 強誘電性分極成分の最大値,  
 $a$ : 抗電圧付近のヒステリシスの傾き,  
 $V_c$ : 抗電圧,  $C_p$ : 常誘電性容量成分.

ヒステリシスのシフトは、抗電圧の変化として考えることができるので、

$$V_c = V_c^{\text{ini}} \pm \Delta V_c \quad (5.2)$$

$V_c^{\text{ini}}$ : 初期ヒステリシスの抗電圧,  
 $\Delta V_c$ : ヒステリシスのシフト量.

として、(5.2)式を(5.1)式に代入することで、シフトしたヒステリシス形状を表現できる。

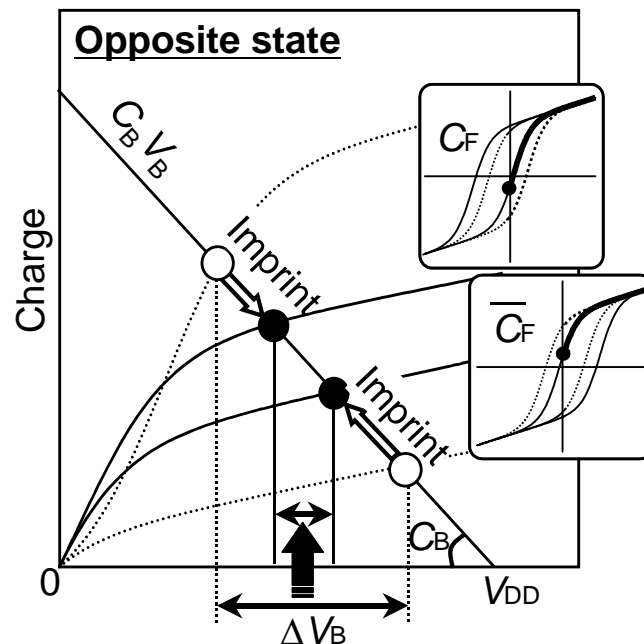


図 5.6 インプリント後の opposite state 読み出しマージン.



図 5.7は、(5.1)式によるヒステリシスのフィッティング例と、フィッティング式をもとに、シフト後のヒステリシスを表現したものである。Pb5% 過剰ターゲットでスパッタ成膜した容量で実測したヒステリシス特性を、(5.1)式で最小二乗フィッティングを行った結果、 $P_0=25\mu\text{C}/\text{cm}^2$ 、 $a=1.1\text{V}^{-1}$ 、 $V_c=1.2\text{V}$ 、 $C_p=2.2\mu\text{F}/\text{cm}^2$  であり、実験データをよくフィッティングできている。また、ヒステリシスシフトを 1V とした場合のヒステリシスループを、右の図のように表現できることも分かった。

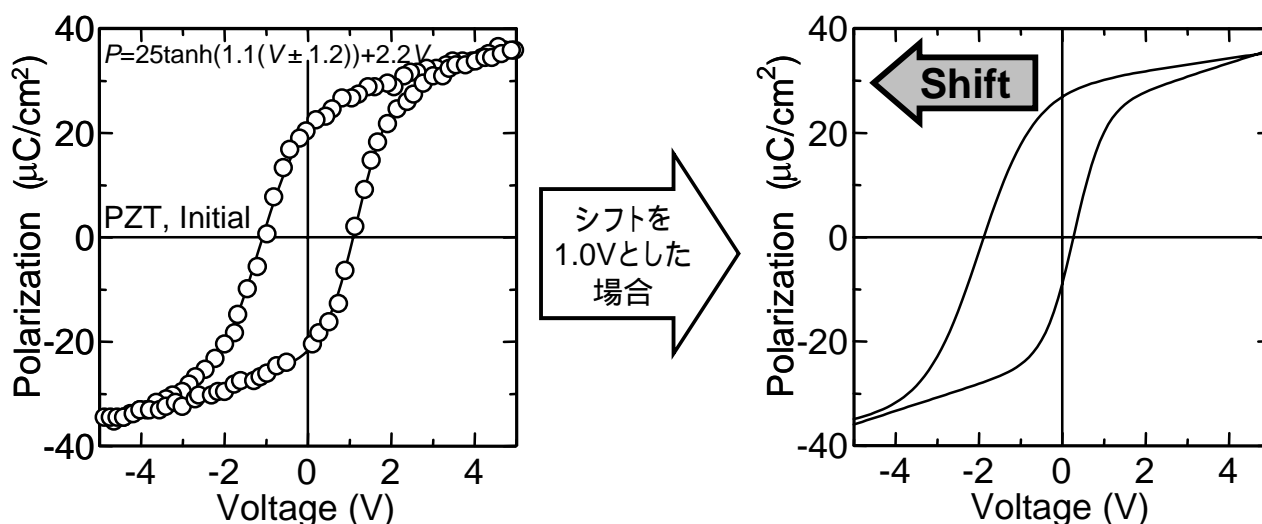


図 5.7 ヒステリシスループのフィッティング例とシフトしたヒステリシスの表現.

次に、ヒステリシスのシフトレートを求める。図 5.8に、5V のパルス電圧で分極処理を施し、150 のオープンで分極保持した後に測定したヒステリシスシフトの保持時間依存性を示す。は正の分極処理、は負の分極処理を行って 150 で保持した結果である。シフトの方向は互いに逆であるので、シフト量の絶対値をプロットしている。正負分極の保持によるヒステリシスのシフトの対称性は良く、保持期間が長くなるに従ってシフトが進んでいる様子が分かる。ヒステリシスシフトについては、いくつかの経験式が報告されているが、stretched exponential で表現されることが多い。[22] 本研究では、シフト量  $\Delta V_c$  は分極処理電圧(書き込み電圧  $V_{DD}$ )に漸近するとし、以下の式でシフトレートを表現することとした。

$$|\Delta V_c(t)| = V_{DD}(1 - \exp(-K_s t^n)) \quad (5.3)$$

$t$ : 保持期間,

$K_s, n$ : フィッティングパラメータ.

ここで、 $K_s$  や  $n$  の温度依存性や、材料依存性などを評価することで、その物理的な意味合いが明確になり、信頼性物理の解明につながることを期待される。図 5.8で示した実験結果は、(5.3)式に

よって良くフィッティングできており、各パラメータは、 $K_s=0.066$ 、 $n=0.17$  であった。(5.3)式を用いれば、さらに長期間保持した場合のヒステリシスシフト量が得られる。そのシフト量を用いると、(5.1)式と(5.2)式から、長期間保持した後のヒステリシス特性を表現でき、図 1.5で示した手法と組み合わせることで、長期間保持後のメモリセルのビット線読み出し電圧を予測することが可能である。

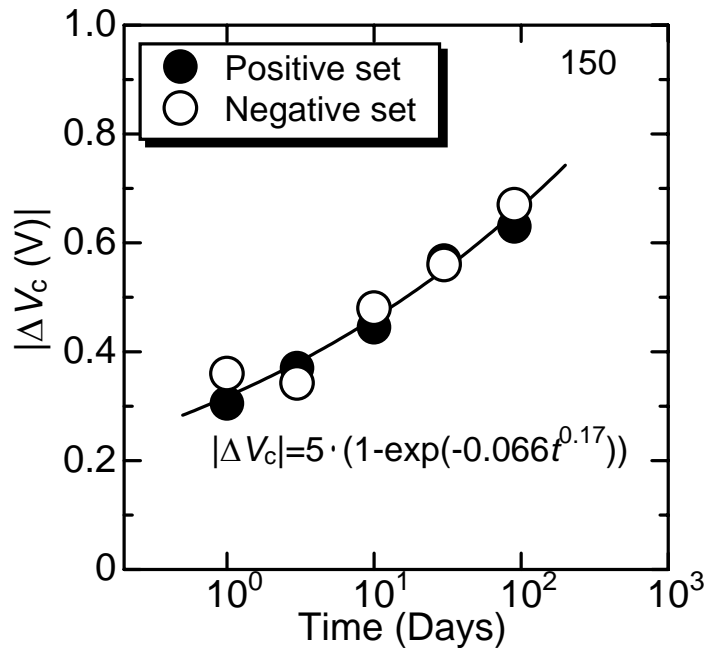


図 5.8 ヒステリシスのシフトレート.

図 5.9に、高温（150 ）保持によるビット線読み出し電圧の変動を示す。ここで、図中の の記号は、実際に高温保持した容量でパルス測定を行い、その測定結果をもとに見積もったビット線電圧を示している。 と は、インプリントしたデータ (same state) の反転および非反転読み出しのビット線電圧を示しており、 と は、インプリントしたデータに対する逆データ (opposite state) を読み出す際のビット線電圧を示している。

今回の実験結果では、same state でも、インプリントによってマージンが拡大する様子は見られず、むしろ反転読み出し電圧の低下が見られている。これは、図 5.5で示したように、反転読み出しカーブの抗電圧が上昇することが原因である。一方、opposite state は、非反転読み出し電圧がインプリントによって急激に上昇しており、反転読み出し電圧も 90 日付近で急速に低下する傾向を示している。90 日保持後には、反転読み出しと非反転読み出しのビット線電圧が接近しており、読み出しのマージンが著しく低下していることが分かる。

図中に示す破線は、本節で説明したモデルに基づき、(5.1)～(5.3)式を用いて計算したビット線電圧の変化を示したものである。破線で示された計算結果については、same state で実験値とよく一

致しており、本モデルによって長期間保持後のビット線電圧の変動を予測することが可能である。しかし、opposite state では、モデルと実験結果がほとんど合致していない。以下では、この要因を考え、さらに精密なモデルを構築する。

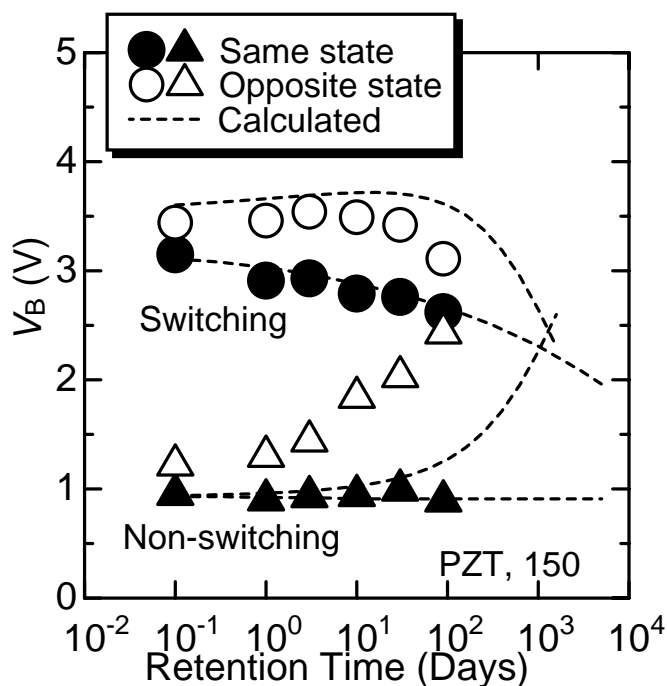


図 5.9 高温保持によるビット線読み出し電圧の変動.

### 5.3.3 分極緩和の効果を取り込んだインプリント不良予測モデル

計算によって予測した opposite state の読み出し電圧が、実験結果と一致しない要因は、図 5.10に示す分極緩和現象 (depolarization) である。分極緩和は、分極処理を施して、外部電界を除去した直後  $10^{-6}$  秒程度以下の短時間内に分極が緩和される現象であり、保持特性における長期間の残留分極の減少とは区別される。[17-19] 図 5.10は、+5V で分極処理後に、150 のオープンで 90 日間保持した後に測定した一周期のヒステリシス特性である。0V で「Depolarization」と示されている分極緩和が見られる。

分極緩和は、外部から印加する電圧を 0V としたときに、抗電圧の低いドメインが分極を維持できずに緩和される現象である。抗電圧は、ドメイン毎に異なっており、これらの平均的な値が容量の  $V_c$  として定義される。したがって、 $V_c$  が小さくなるということは、0V 付近に抗電圧を有するドメインが増加することを意味している。このため、 $V_c$  が低下すると、分極緩和を起こすドメイン量が増加し、容量全体としての分極緩和が大きくなる。

分極緩和は、分極処理を施して外部電界を除去した直後に発生する現象であるため、書き込む際に電圧を印加する極性の抗電圧が小さいときに問題となる。図 5.5に示すように、opposite state

の書き込み時には、正書き込みも負書き込みも、インプリントによって抗電圧が低くなった極性側で行われる。このため、opposite state の書き込みでは、相補的に書き込む双方の容量で、分極緩和の影響が大きくなる。

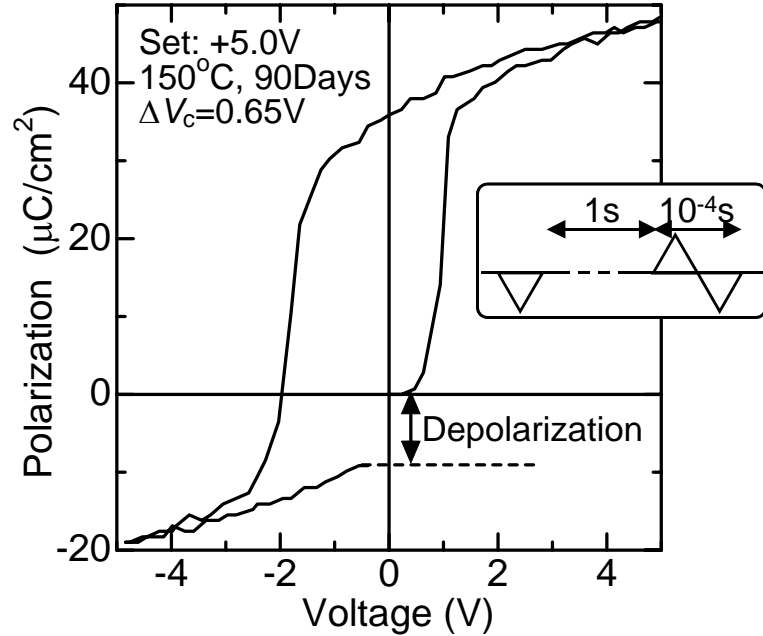


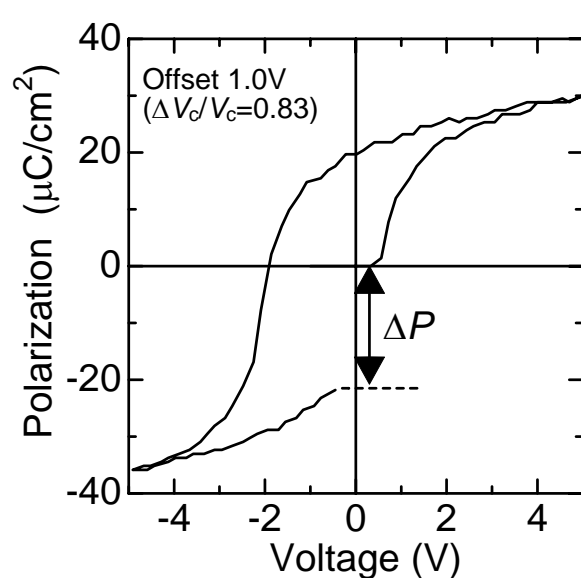
図 5.10 分極緩和現象.

ここでは、分極緩和をヒステリシスシフトの関数として定量化することを試みた。まず、実験的にシフト量と分極緩和の関係を測定した。シフトさせたヒステリシス特性を擬似的に得るため、DC オフセットを印加して一周期のヒステリシスを測定した。図 5.11に、(a)分極緩和の測定例と、(b)分極緩和のオフセット電圧依存性を示す。図(b)では、横軸に抗電圧  $V_c$  で規格化したオフセット電圧  $\Delta V_c$ 、縦軸に残留分極  $P_r$  で規格化した分極緩和  $\Delta P$  をとってプロットしている。分極緩和は、抗電圧付近で急速に増加する特徴を示すことから、ヒステリシス ((5.1)式) と同様の  $\tanh$  関数で表現することが可能である。

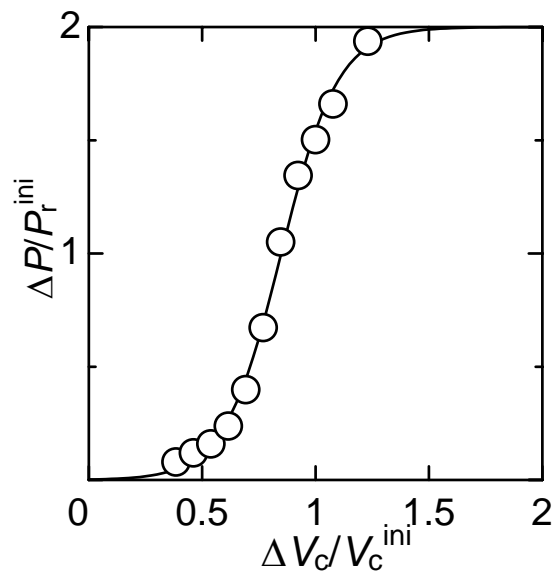
$$\frac{\Delta P}{P_r^{\text{ini}}} = 1 + \tanh\left(-K_d \left(1 - \frac{\Delta V_c}{V_c^{\text{ini}}}\right)\right) \quad (5.4)$$

$P_r^{\text{ini}}$ : 初期の残留分極,  $V_c^{\text{ini}}$ : 初期の抗電圧,  
 $K_d$ : フィッティングパラメータ.

図 5.11(b)には、(5.4)式でフィッティングした結果を実線で示しており、よくフィッティングできている。分極緩和は、ヒステリシスシフトの関数で表現できるので、(5.3)式を(5.4)式に代入することで、分極緩和の予測が可能となる。

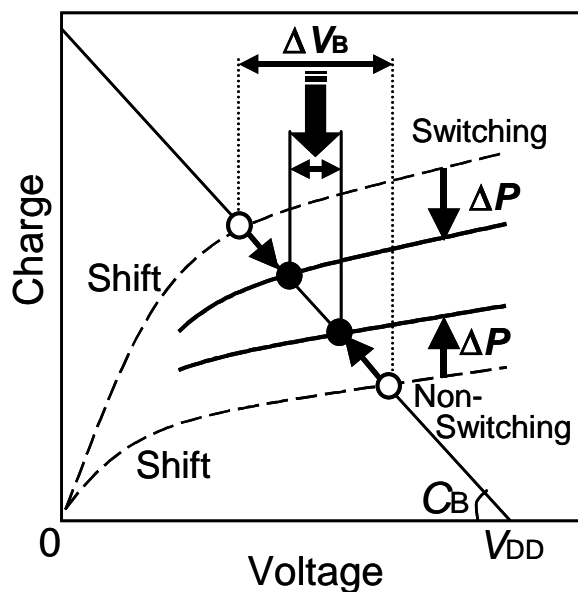


(a) DC オフセット印加による一周期ヒステリシス測定.

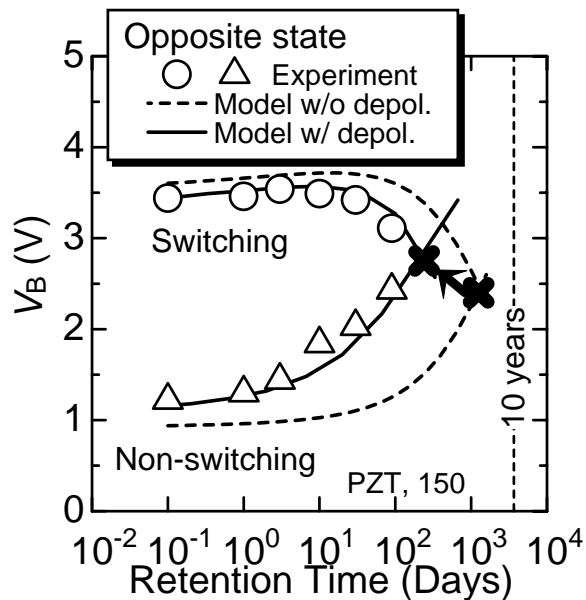


(b) 分極緩和の DC オフセット依存性.

図 5.11 分極緩和の測定.



(a) 分極緩和を取り込んだビット線電圧の見積もり.



(b) opposite state ビット線電圧の変動.

図 5.12 分極緩和を取り込んだインプリントモデルによる opposite state 読み出しビット線電圧.

次に、分極緩和を図 1.5 で示した図式解法に取り込むことで、ビット線電圧の見積もりを行う。図 5.12(a) における破線は、ヒステリシスのシフトのみを考慮した場合の容量カーブである。分極緩和は、このカーブに単純なチャージオフセットとして取り込んだ。すなわち、反転読み出しに関しては、分極緩和分差し引いたカーブを用い、非反転読み出しに関しては、分極緩和分を加えたカーブを用いた。分極緩和をオフセットとして取り込むことで、シフトのみを考慮したカーブを用いる場合よりも、ビット線読み出しマージン  $\Delta V_B$  が低下することが分かる。図 5.12(b) の破線と 実線は図 5.9 と同じもので、実線が分極緩和を取り込んだ予測法による計算結果である。分極緩和を取り込むことで、実験結果との誤差が大幅に縮まり、予測の精度が向上したことが分かる。反転読み出し電圧と非反転読み出し電圧が等しくなるまでの保持期間は、分極緩和を考えない場合には 1000 日程度と見積もられたが、分極緩和を考慮することで 230 日まで低下する。

## 5.4 A サイト組成制御による信頼性向上

### 5.4.1 容量の初期特性の A サイト組成依存性

4.4 節では、B サイト組成の調整によって、初期的な動作マージンを拡大させることに成功した。本節では、A サイト組成の最適化 [23,24] によって、エージング特性の向上を図り、高信頼性容量を得ることを目的とした。

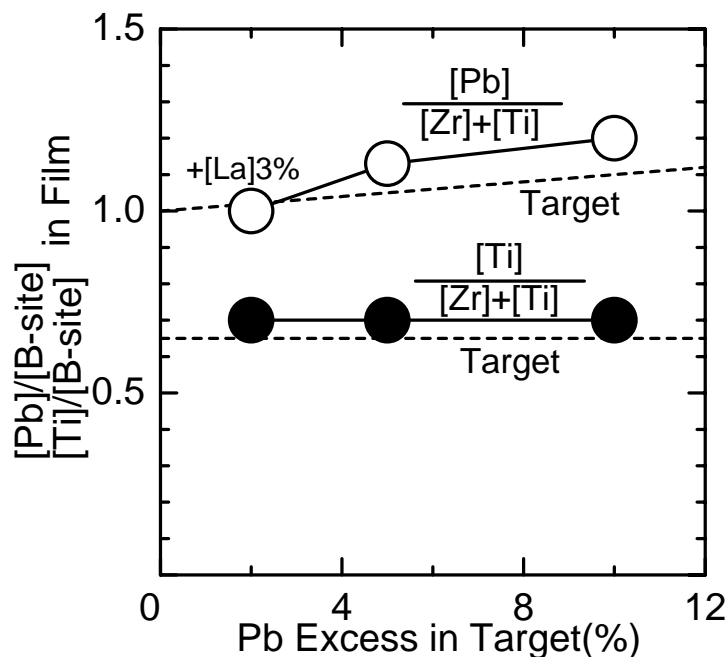


図 5.13 膜組成のターゲット組成依存性.

図 5.13に、膜組成のターゲット組成依存性を示す。B サイト内における Ti 組成 ( $[Ti]/[B\text{-site}]$ ) は、ターゲット組成に全く依存せず、0.70 であった。ターゲット組成は 0.65 であるので、スパッタ膜中では若干 Ti 組成が増加していることになる。Pb 組成 ( $[Pb]/[B\text{-site}]$ ) は、ターゲット組成に依存するが、ターゲットよりもやや A サイトリッチになる傾向がある。以下では、A サイトの膜組成で、各組成の区別を行い、Pb20 (Pb20%過剰)、Pb13 (Pb13%過剰)、Pb0La3 (Pb0%過剰+La3%添加) と表記する。

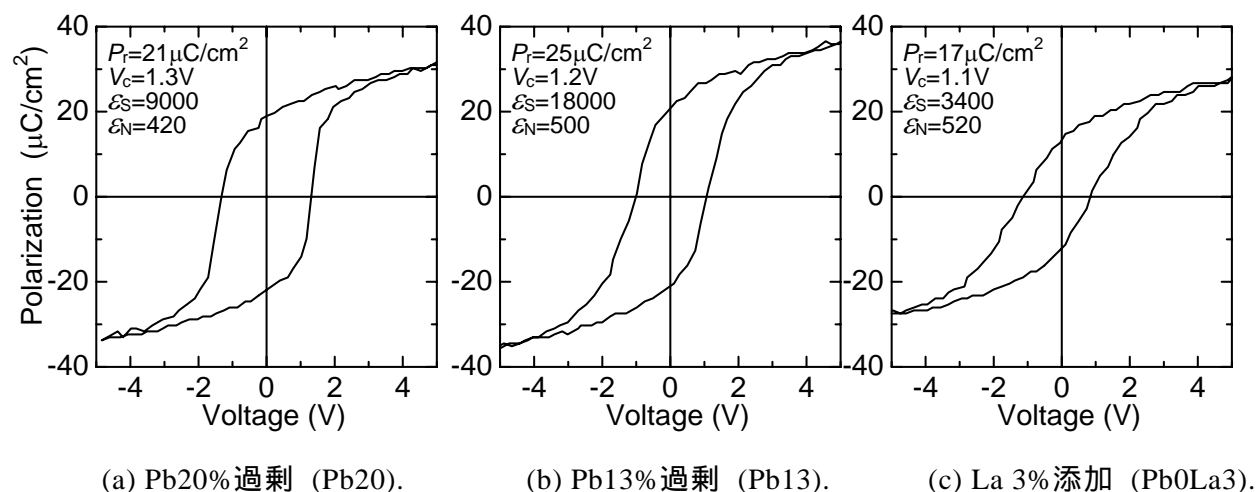


図 5.14 ヒステリシス特性の A サイト組成依存性.

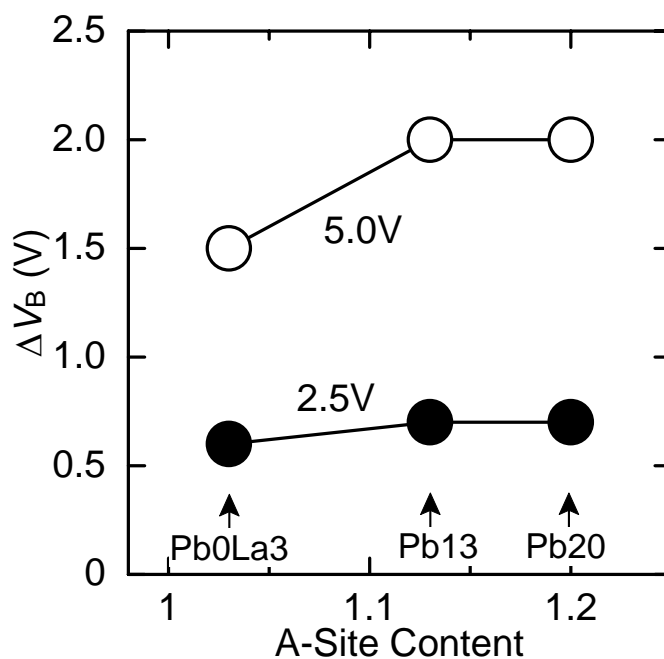


図 5.15 読み出しビット線電圧マージンの A サイト組成依存性.

図 5.14に、ヒステリシス特性の A サイト組成依存性を示す。図中には、(5.1)式によるフィッティングによって得られた各パラメータも示している。A サイトの Pb 過剰量を減じることで、抗電圧が低くなることが特徴的である。反転容量の実効誘電率 $\varepsilon_S$ は、(b)の Pb13 が最も大きくなっている。非反転容量の実効誘電率 $\varepsilon_N$ は大きく変化しないが、A サイト組成の減少に伴ってわずかに小さくなる。

図 5.15に、読み出しビット線電圧の A サイト組成依存性を示す。A サイト組成を減じ、La を添加した場合 (Pb0La3) には、5V 動作時の $\Delta V_B$ が低下している。この組成の PZT では、 $\varepsilon_S$ が低いことが $\Delta V_B$ を制限しており、低抗電圧の効果は表れない。しかし、2.5V 動作を考慮した場合には、いずれの組成でも $\Delta V_B$ に大きな変化が見られなくなる。低電圧動作時には、Pb0La3 の低抗電圧の効果、低 $\varepsilon_S$ の効果を打ち消し、見かけ上の動作マージンは、組成に依存しなくなる。

### 5.4.2 エージング特性の A サイト組成依存性

図 5.16に、疲労特性をまとめる。(a)の Pb20%過剰の場合には、5V および 3V で  $10^8$  回までに疲労が始まっている。(b)の Pb13%過剰の場合には、20%過剰の場合と同程度の疲労特性を示している。(b)では  $10^{10}$  回まで測定しているが、 $10^{10}$  回のスイッチングサイクルで、マージンが初期の半分以下まで減少している。(c)は La 添加の PZT の場合である。初期の反転電荷は他の組成と較べて小さいが、疲労耐性は大幅に向上しており、 $10^8$  回のスイッチングでは、5V でも全く疲労は見られない。さらに、印加電圧を 3V に低下させると、 $10^{11}$  回のスイッチング後でも、分極はほとんど減少しない。La を添加すると、格子定数の  $a/c$  比が 1 に近づく ( $a$  と  $c$  が近くなる) とともに、電荷補償効果もあるといわれている。これらの特性の変動が、構造的な要因か電氣的な要因かは断定できないが、La の添加によって疲労耐性が飛躍的に向上することは明らかである。

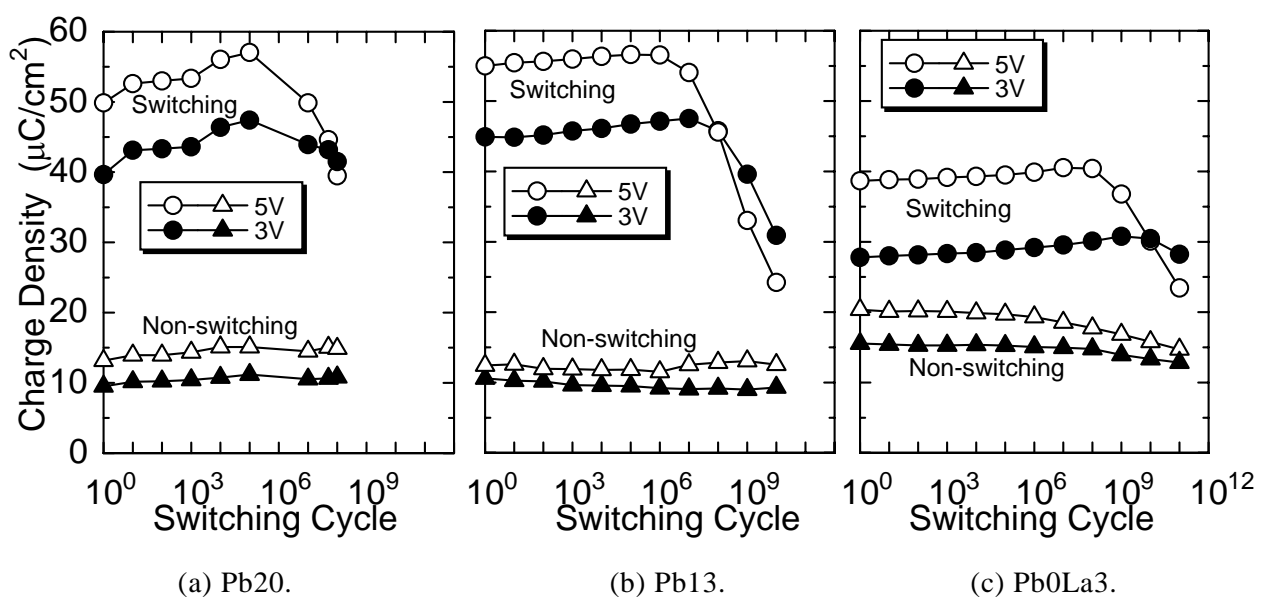
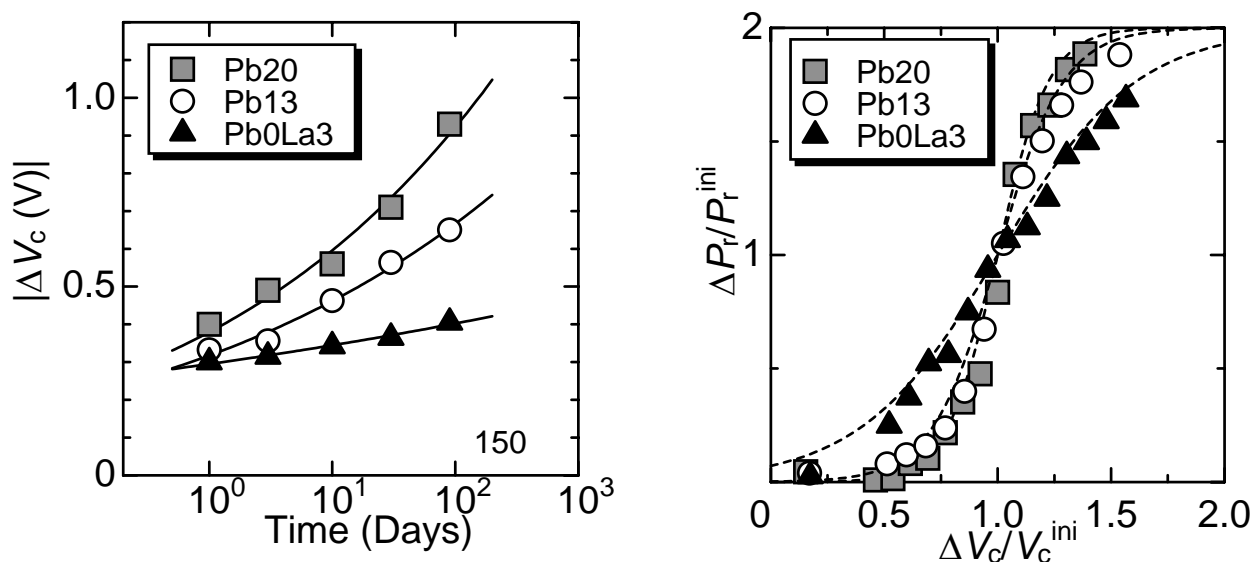


図 5.16 疲労特性の A サイト組成依存性.



前節では、エージング特性のうち、スタティックインプリントと FeRAM 信頼性の関係を詳細に検討した。ここでは、その手法を用いて、インプリントに関する信頼性の A サイト組成依存性を調査した。全てのサンプルについて、5V で分極処理を施し、150 で 90 日間までの保持を行い、ヒステリシスシフト量を評価した。さらに、初期のヒステリシス測定、DC オフセットヒステリシス測定を行った。図 5.17 に、その結果を示す。(a)のヒステリシスシフトの速度は、A サイトの Pb 過剰量が減少することで、単調に低下する傾向が見られる。(b)は、分極緩和の測定結果であるが、A サイトの Pb 過剰量が減少すると、オフセット電圧に対する分極緩和の感度が低下する傾向にある。すなわち、Pb0La3 の場合には、オフセット電圧が比較的低い段階から大きな分極緩和が見られており、オフセット電圧を増加させる時に分極緩和が増加する傾きが小さくなっている。以上の結果、Pb0La3 は、ヒステリシスシフトの速度は遅く、ヒステリシスシフトに対する分極緩和量の増加が少ないという特長を有する反面、シフト量が小さくても大きな分極緩和を示すという欠点も合わせ持つことが分かる。



(a) ヒステリシスシフトの保持時間依存性. (b) 分極緩和の測定オフセット電圧依存性.

図 5.17 ヒステリシスシフトと分極緩和の A サイト組成依存性.

全ての測定結果をもとに、長期間保持後のビット線電圧の変動を予測し、マージン  $\Delta V_B$  がセンサンプの検出限界とされる 100mV となる保持期間をセルの寿命と判定した。図 5.18に、セル寿命の A サイト組成依存性を示す。ここでも、分極緩和の効果を考慮した場合としない場合を示し、その影響の大きさを検討している。A サイトの Pb 組成を減じることで、インプリントによるセル寿命は向上する。特に、Pb 過剰量を 0 とし、La を添加した場合には、大きく寿命が向上していることが分かる。また、分極緩和を考慮しないと、寿命を過剰に見積もってしまうことも分かる。

このように、インプリント耐性は、A サイトの Pb 過剰量の減少と La の添加によって大幅に向上することが分かった。インプリントは、その性質上、極めて遅い可動イオンが影響していると考えられる。Pb 過剰量を減少させることで、インプリント耐性が上昇することから、この可動イオンが過剰 Pb に関係している可能性が考えられる。ただし、Pb イオンそのものが要因なのか、何らかの二次的要因が存在するのか明らかではない。いずれにしても、疲労も含めて FeRAM の信頼性に関する要因のさらなる検討と特性制御が今後の重要な課題となる。

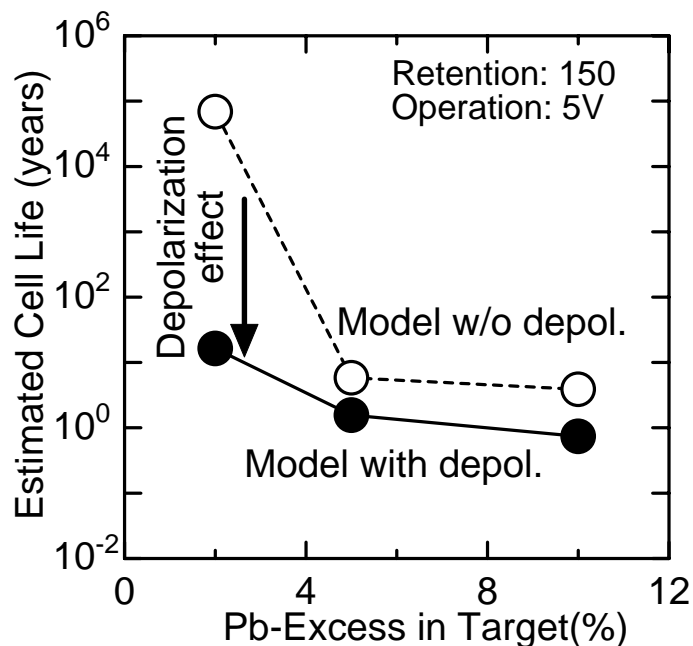


図 5.18 インプリントによるセル寿命予測.

## 5.5 0.8 $\mu\text{m}$ ルール-2 層配線 FeRAM への応用

### 5.5.1 試作プロセス

4.4節ではFeRAMの初期特性向上のためにBサイト組成を最適化し、5.4節では信頼性を向上させるためにAサイト組成を最適化した。本節では、Zr/Ti=30/70でLa3%添加のPZT (PLZT)を用いて、実際に16kbit-FeRAM (1T1C (1トランジスタ/1キャパシタ)で16kbit, 2T2Cモードで動作させると8kbit)を試作し、容量プロセスや配線プロセスが特性に及ぼす影響を検討した。

図 5.19に、試作したテストチップのメモリセルレイアウトを示し、a-bで示された断面のSEM像を図 5.20に示す。ビット線は、トランジスタの拡散層コンタクト (ビット線コンタクト) に直接繋がっており、強誘電体容量の上部電極も、局所配線を介してトランジスタの拡散層コンタクトに接続されている。すなわち、トランジスタを介して、ビット線と強誘電体容量の上部電極が接続されている。上部電極を接続する局所配線と、ビット線は第一層目の配線層で形成されている。PZT/下部電極はライン状に加

工されており、下部電極はプレート線を兼ねている。ワード線とプレート線は平行に形成されており、ビット線はこれらと直交している。ここで試作したメモリセルのセルサイズは、2T2C (2トランジスタ/2キャパシタ) で  $153.6\mu\text{m}^2$  であり、容量サイズは、 $2\times 2\mu\text{m}^2$  である。本テストチップは、2層 Al 配線からなるロジック回路と強誘電体メモリからなっている。図 5.21 に試作プロセスフロー、表 5-1 にプロセスの概略を示す。

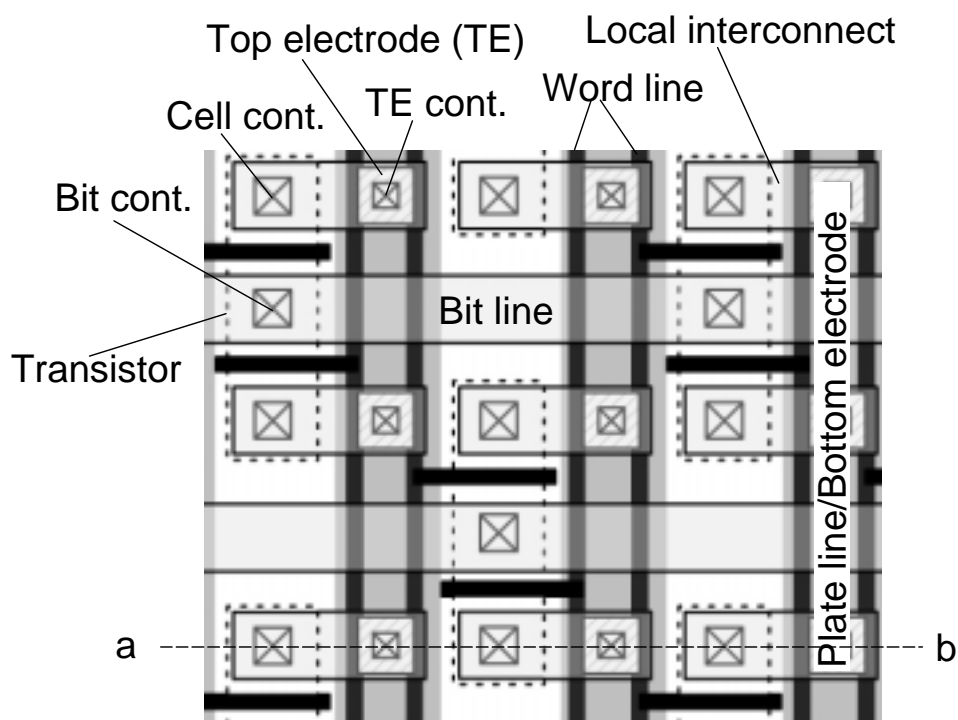


図 5.19 メモリセルレイアウト.

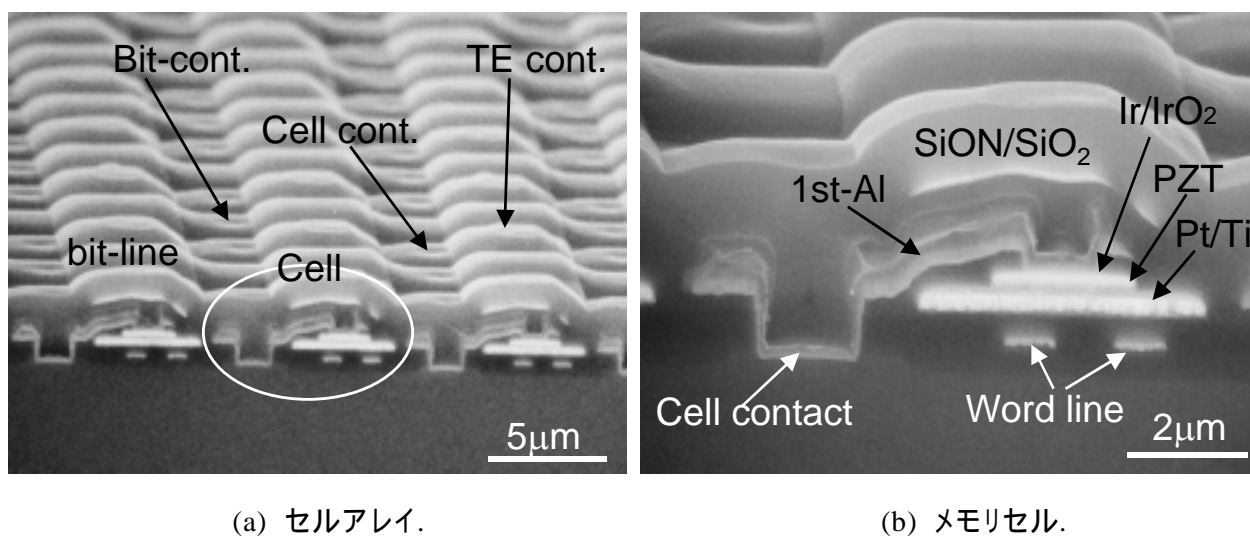


図 5.20 メモリセルアレイと1セルのSEM観察像.

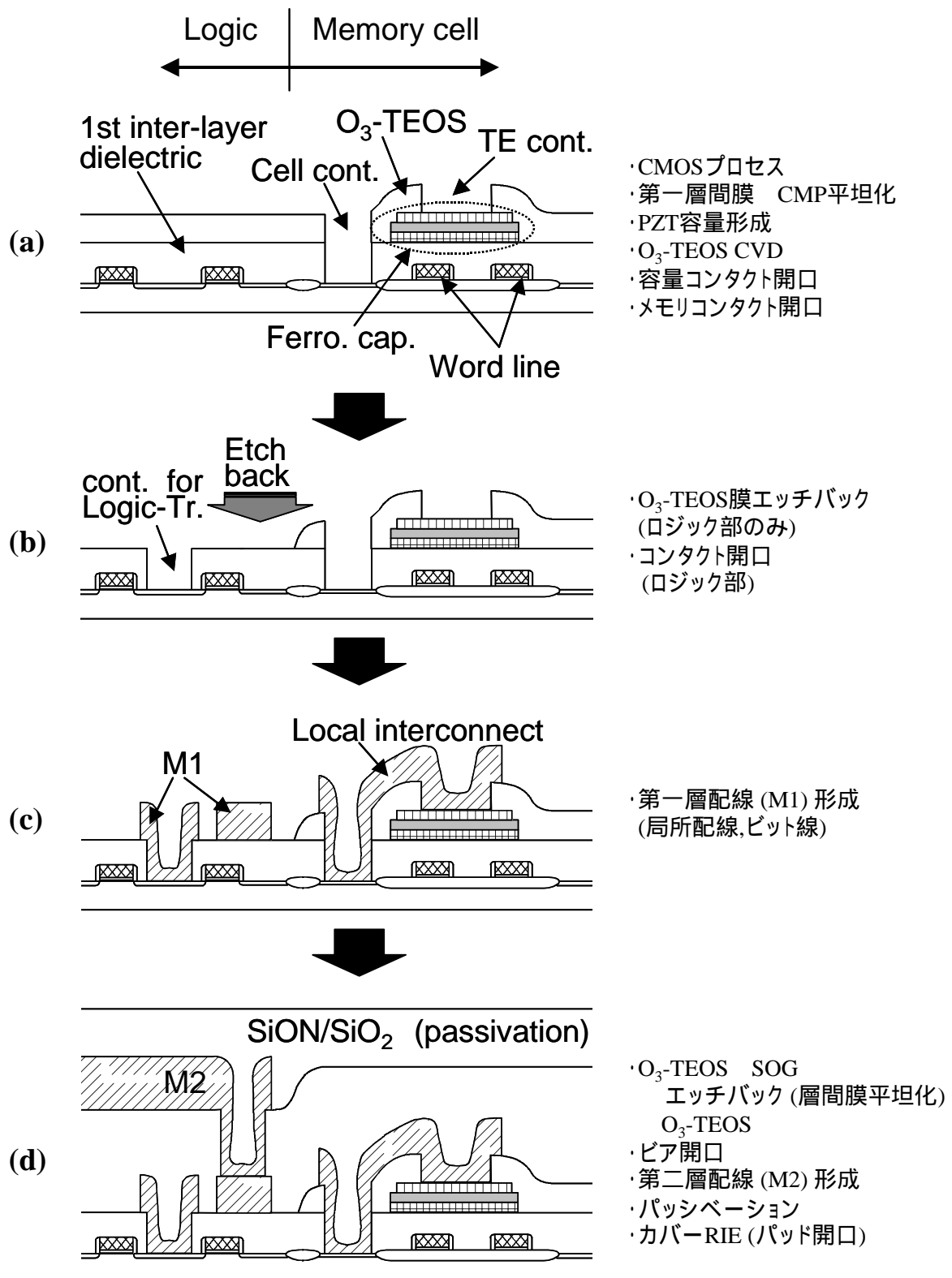
図 5.21 0.8 $\mu\text{m}$  ルールロジック混載 FeRAM 試作プロセス.

表 5-1 FeRAM プロセスの概略.

工程	内容	備考
CMOS 工程	0.8 $\mu$ m ルール CMOS プロセス	第一層間膜形成後 CMP Ti33nm
容量工程	PLZT/Pt 成膜連続スパッタ 1st アニール Ir/IrO <sub>2</sub> 連続スパッタ 上部電極 RIE PZT/下部電極 RIE 2nd アニール <b>電特測定(I)</b>	表 5-2に詳細記載 600 , O <sub>2</sub> , 30min. 表 5-2に詳細記載  600 , O <sub>2</sub> , 10min.
容量カバー絶縁膜 /コンタクト開口	O <sub>3</sub> -TEOS CVD 容量コンタクト RIE 回復アニール <b>電特測定(II)</b> メモリコンタクト RIE O <sub>3</sub> -TEOS 膜エッチバック コンタクト RIE	400nm 容量上下電極へのコンタクト孔開口 600 , O <sub>2</sub> , 10min.  セルトランジスタへのコンタクト孔開口 周辺回路の絶縁膜薄膜化 周辺回路のトランジスタコンタクト
第 1 メタル (M1)	TiN/AlSiCu/TiN/Ti スパッタ M1-RIE <b>電特測定(III)</b>	30/550/100/50nm
層間絶縁膜 /ビアホール	O <sub>3</sub> -TEOS 成膜 SOG 成膜 シリカエッチバック O <sub>3</sub> -TEOS 成膜 ビアホール RIE <b>電特測定(IV)</b>	500nm 200nm (SOG で平坦化) 全面エッチバック 300nm M1-M2 間接続ビア
第 2 メタル (M2)	TiN/AlSiCu/TiN/Ti スパッタ M2-RIE <b>電特測定(V)</b>	30/900/100/30nm
裏面酸化膜エッチ	裏面酸化膜エッチ	ウエットエッチ
カバー膜 /カバーRIE	SiON/SiO <sub>2</sub> カバーRIE <b>電特測定(VI)</b>	1/0.1 $\mu$ m (プラズマ CVD) パッド部開口

まず、図 5.21(a)に示すように、通常の CMOS プロセスに従って、周辺回路とセルエリアのトランジスタを形成した後に PZT 容量を形成し、セルエリアのコンタクト（セルコンタクト、上下電極に対する容量コンタクト）を開口する。手順としては、第一層間膜の成膜と CMP による層間膜表面の平坦化に引き続いて、下部電極と層間膜の密着性を上げるために Ti をスパッタし、容量積層膜を表 5-2 に示す各条件で成膜した。PLZT/Pt を成膜した後は、相転移のための酸素アニール（1st アニール）を 600 で行っている。アニール後に上部電極を成膜し、容量加工工程に入る。まず、上部電極のパターニングを行い、続いて PLZT/Pt/Ti 積層膜をライン状に一括加工する。以上の容量加工後には、エ

ッチングによるダメージを除去することを目的として、600 の酸素アニール（2nd アニール）を行った。続いて、非還元・非プラズマプロセスである O<sub>3</sub>-TEOS 熱 CVD により、容量カバー絶縁膜を形成し、各コンタクトホールを開口を行う。最初に、容量の上部電極、及び下部電極（ライン状下部電極の終端部で周辺回路と接続するため）への比較的浅いコンタクトホールを形成する。このとき、上部電極がプラズマに曝されることで、容量がダメージを受ける。このダメージの回復を目的として 600 の酸素アニール（回復アニール）を行う。引き続いて、メモリセルトランジスタの拡散層へ落とす深いコンタクトホールを形成する。セルトランジスタへのコンタクトは、図 5.20や図 5.21(a)を見れば分かるように、上部電極のコンタクトよりも深くなっているため、容量コンタクトと同時に開口できないため、これらを個別に開口する手法を採っている。

引き続き、図 5.21(b)に示すように、周辺ロジック回路のコンタクトホールを開口を行う。ロジック回路のコンタクトもセルトランジスタと同様に深くなっている。ロジック回路のコンタクトサイズは 0.8μm で、セルトランジスタのコンタクト（1.4μm）より小さく設計されているため、アスペクト比が大きくなり、スパッタ Al 膜による接続がとりにくくなる。そこで、メモリセルエリア全体をレジストで覆い、O<sub>3</sub>-TEOS 膜をエッチバックすることで周辺回路のコンタクトホールを浅くする手法を採っている。周辺回路のコンタクトホールは、O<sub>3</sub>-TEOS 膜エッチバック後に開口する。

表5-2 容量成膜工程のプロセス条件.

下部電極 Pt スパッタ	ターゲット スパッタガス 成膜温度 DC パワー 成膜時間 膜厚	Pt Ar, 7.2mTorr 300 6kW 27sec. 200nm
PLZT スパッタ	ターゲット組成 スパッタガス 成膜温度 RF パワー 成膜時間 膜厚	Pb/La/Zr/Ti=1.02/0.03/0.35/0.65 Ar:O <sub>2</sub> =9:1, 5.7mTorr 450 -500 3kW 330sec. 200nm
上部電極 Ir(O)/IrO <sub>2</sub> スパッタ	ターゲット スパッタガス 成膜温度 DC パワー 成膜時間 膜厚	Ir Ar:O <sub>2</sub> =4:1, 21mTorr 200 1.4kW(IrO <sub>2</sub> ) 6.0kW(Ir(O)) 15sec.(IrO <sub>2</sub> ) 17sec.(Ir(O)) 50nm(IrO <sub>2</sub> ) 100nm(Ir(O))

全てのコンタクトホールを開口した後に、Al 系の配線材料をスパッタし、RIE により図 5.21(c)に示すような第一層目の配線パターン (M1) を形成する。このとき、容量上部電極とセルトランジスタを接続する局所配線も同時に形成する。

次に、図 5.21(d)に示すように、層間絶縁膜の形成と第二層目の配線層 (M2) の形成を行う。まず、O<sub>3</sub>-TEOS NSG (Non-doped Silicate Glass) 膜を 500nm 成膜し、SOG (Spin-On-Glass) を 200nm 成膜した。SOG によって、Al 配線で生じた段差を解消し、ある程度の平坦化を図っている。その後、全面エッチバックを行い、SOG の膜厚相当を取り去る。再び O<sub>3</sub>-TEOS NSG を成膜し、総膜厚 800nm 程度の層間絶縁膜を形成する。続いて、M1 と M2 の配線を接続するためのビアホールを形成し、M2 の配線スパッタと RIE により二層目の配線パターンを形成する。最後に、パッシベーション膜として、SiON/SiO<sub>2</sub> をプラズマ CVD 法によって形成し、パッド部のみ開口した。

工程中、表 5-1に示す各段階 (I ~ VI) で容量特性の測定を行っている。

## 5.5.2 PLZT 容量特性のプロセス起因劣化と微細容量特性

### (1) 第一層配線までのプロセスによる容量特性の劣化 (100 $\mu\text{m}$ )

ここでは、第一層目の配線 (M1) を形成するまでの 100 $\mu\text{m}$  容量特性のプロセスステップ毎 (表 5-1における電特測定(I) ~ (III)) の特性変化をまとめる。微細容量特性、および M1 形成以降のプロセスによる特性変動については後で述べる。

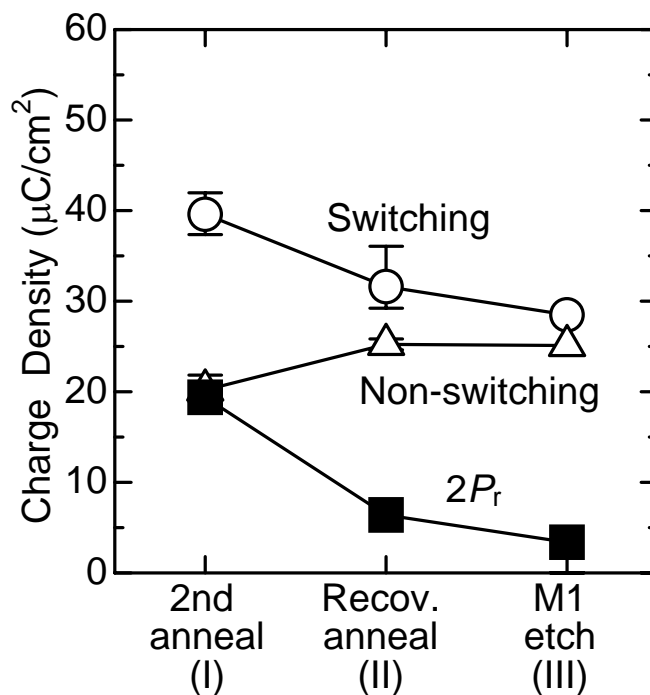


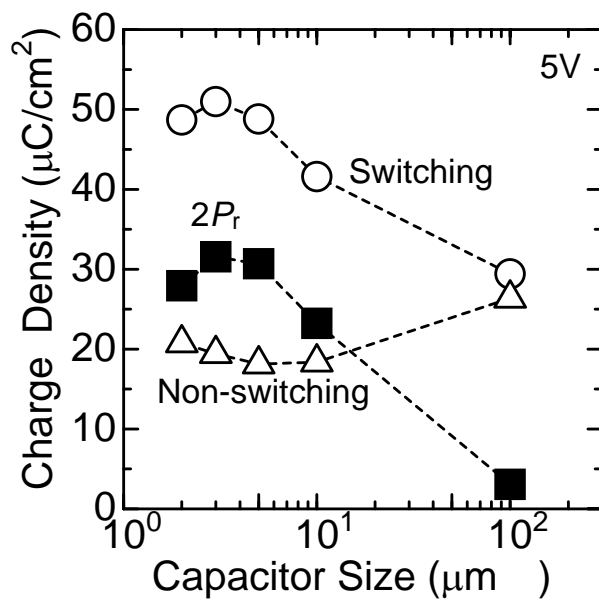
図 5.22 100 $\mu\text{m}$  容量で測定したパルス特性のプロセスによる変動.

図 5.22 に、100  $\mu\text{m}$  容量で測定した、各プロセス終了後のパルス測定結果を示す。プロセス毎の特性変動を見てみると、各プロセス後には酸素アニールを行っているにもかかわらず、徐々に反転電荷が減少、非反転電荷が上昇するダメージが蓄積する。最終的に M1 エッチング後の  $2P_r$  は、3 ~ 4  $\mu\text{C}/\text{cm}^2$  程度であった。2nd アニール後から回復アニール後の間では、ヒステリシス形状が細くなるような劣化が生じており、抗電圧も  $2V_c=2.0\text{V}$  から 1.4V まで低下していた。さらに、M1 エッチング後には、ヒステリシスがプロペラ型になる劣化モードが見られた。

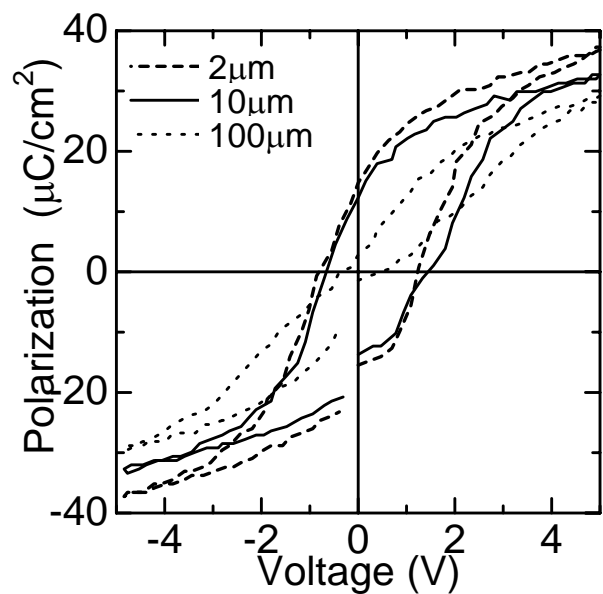
## (2) 第一層配線形成時の容量特性

ここでは、M1 エッチング後の容量特性について評価した結果を述べる。図 5.23(a) に、パルス応答特性の容量サイズ依存性を示す。容量サイズが大きくなるほど劣化が大きくなる傾向を示した。100  $\mu\text{m}$  容量の特性を見る限りでは、FeRAM の安定動作が期待できる特性ではないが、微細容量特性を見ると動作可能な特性を有している。

図 5.23(b) に、ヒステリシスのサイズ依存性を示す。図には、2、10、100  $\mu\text{m}$  のデータをプロットしている。10  $\mu\text{m}$  以下の容量では、ヒステリシスの形状に大きな変化がないが、100  $\mu\text{m}$  容量ではヒステリシス形状が大きく変化し、プロペラ型となる。M1 エッチングまでに見られたこのような劣化傾向、および劣化のサイズ依存性については、応力等による影響が考えられるが、依然として明確には解明されていない。しかし、FeRAM に用いる程度まで微細化した容量に関しては、FeRAM 動作に十分な容量特性を確保していると言える。



(a) パルス測定によるチャージ.



(b) ヒステリシス特性.

図5.23 M1 エッチング後に測定したパルス応答特性の容量サイズ依存性.



(3) 第一層配線形成以後の容量特性の変化 (2 $\mu\text{m}$  容量)

M1 形成後からプロセス完了までの各プロセス後における微細容量特性 (表 5-1における電特測定 III~VI) について、2 $\mu\text{m}$  を中心に評価した結果を述べる。図 5.24に、M1 以降の各プロセス後のパルス応答特性を示す。プロセスを経る毎に  $2P_r$  が減少した。M1 エッチング、ピアエッチング、M2 エッチング後は、プロセス毎に非反転電荷が増加する。これに対して、M2 エッチングからカバーエッチングの間では、反転電荷が大きく減少すると同時に非反転電荷も減少している。

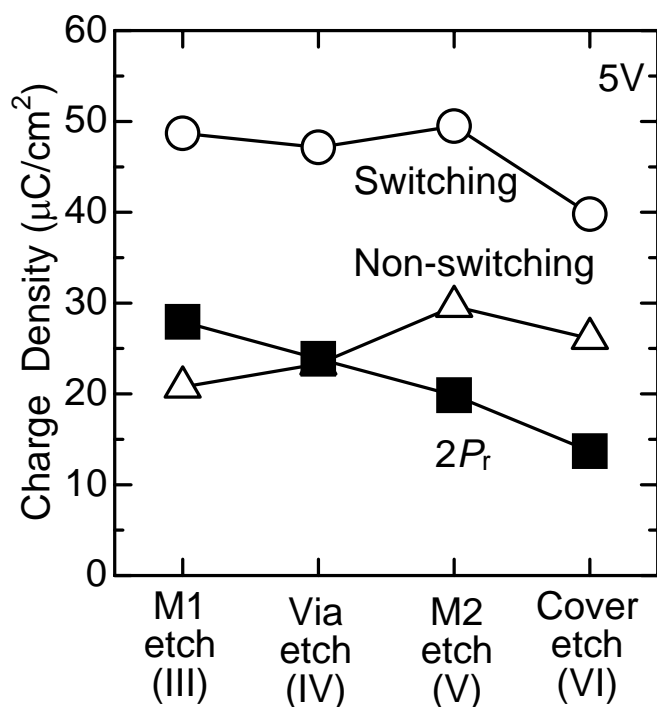


図5.24 2 $\mu\text{m}$  容量で測定したパルス特性のプロセスによる変動.

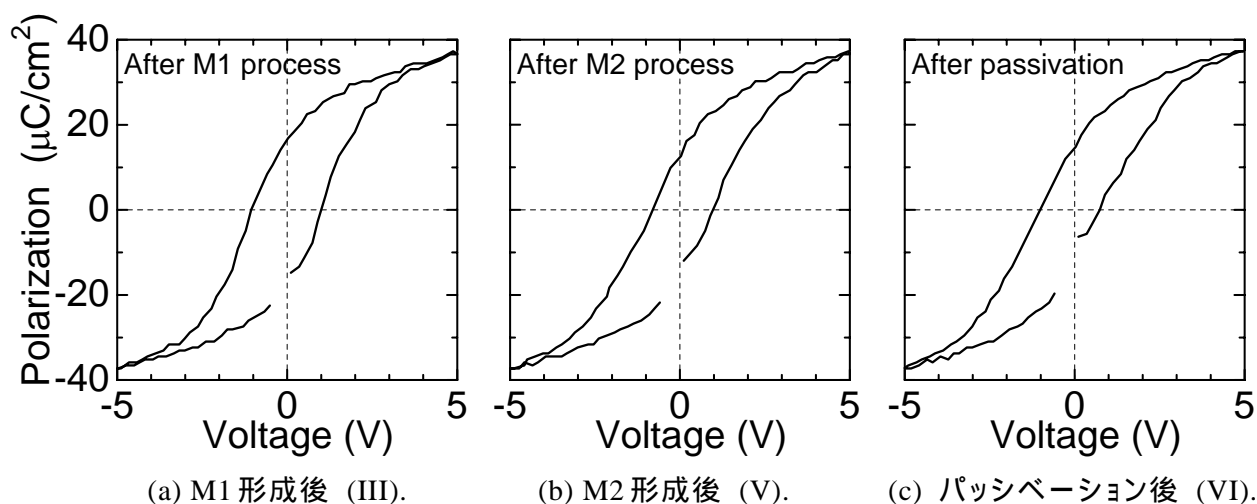


図5.25 各プロセス後の 2 $\mu\text{m}$  容量のヒステリシス特性 (( )内は表 5-1中で示した測定箇所).

図 5.25に、各々のプロセス後における、 $2\mu\text{m}$  容量で測定したヒステリシス特性の変化を示す。徐々にヒステリシスループが細くなり、0V での分極緩和が大きくなっていくような劣化が起こっている。ヒステリシスから見積もった  $2V_c$  は、M1 形成後に  $2.0\text{V}$  程度であったが、カバーエッチ後には  $1.5\text{V}$  程度になっていた。また、分極緩和は、M1 形成後で  $6\mu\text{C}/\text{cm}^2$  程度であったものが、カバー後には  $10\mu\text{C}/\text{cm}^2$  以上にまで大きくなっていった。

#### (4) パッシベーション後の微細容量特性

図 5.26に、 $2\mu\text{m}$  容量の  $I$ - $V$ 特性とヒステリシス特性を示す。試作した微細容量は、(a)に示すような良好な絶縁性を有しており、 $10^{-5}\text{A}/\text{cm}^2$ @ $10\text{V}$  程度であった。(b)のヒステリシス特性では、 $2.5\text{V}$  振幅でもヒステリシスループが観測されており、低電圧動作の可能性も示される。

図 5.27に、 $5\text{V}$  振幅で測定したパルスヒステリシス、およびパルスヒステリシスから計算した  $\Delta V_B$ - $C_B$  曲線を示す。ここで試作した  $16\text{kbit}$  FeRAM マクロのビット線容量は  $500\text{fF}$  程度であるので、 $\Delta V_B$  は約  $1\text{V}$  確保できることが期待される。図には示していないが、 $3\mu\text{m}$  容量を想定した場合には、 $\Delta V_B$  は  $0.9\text{V}$  程度と見積もることができている。

図 5.28に、面内全チップのパルス応答測定結果の累積度数分布を示す。上部電極のみエッチングして測定した  $100\mu\text{m}$  容量では、 $10\%$  程度の面内分布であったが、インテグレーション後には、 $30\%$  程度まで分布が大きくなった。どのプロセスがどのような劣化を引き起こしているかを詳細に検討することも重要な課題であり、その検討をもとにプロセスによる劣化を抑える手法を考えていく必要がある。

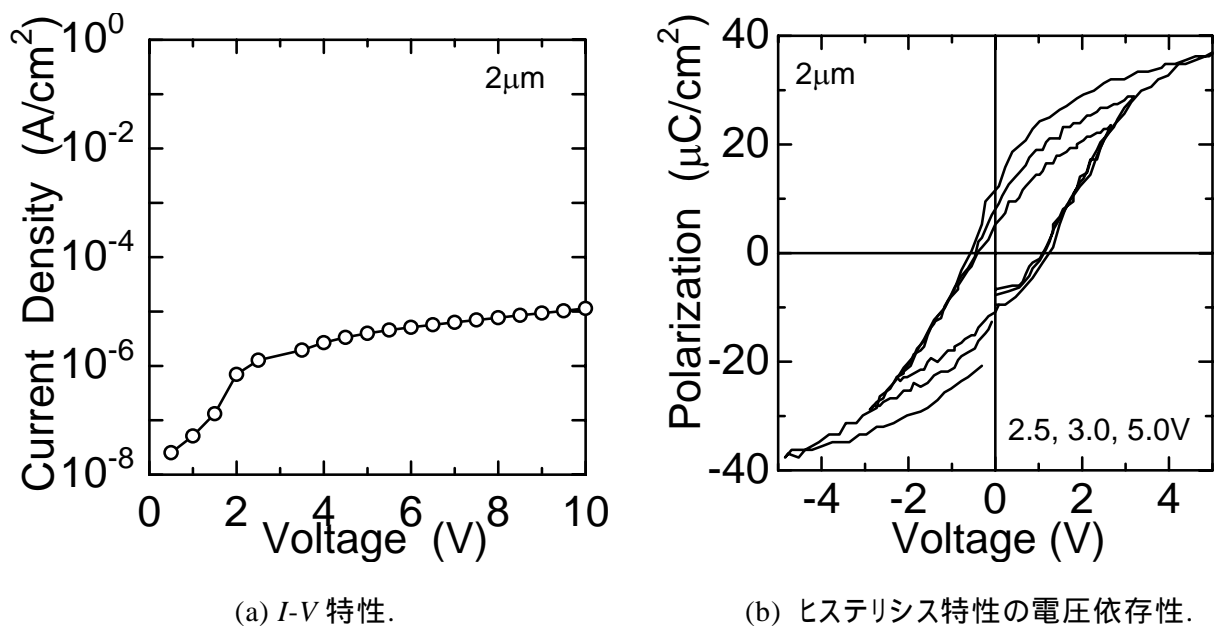


図5.26 パッシベーション後の  $2\mu\text{m}$  容量の特性.

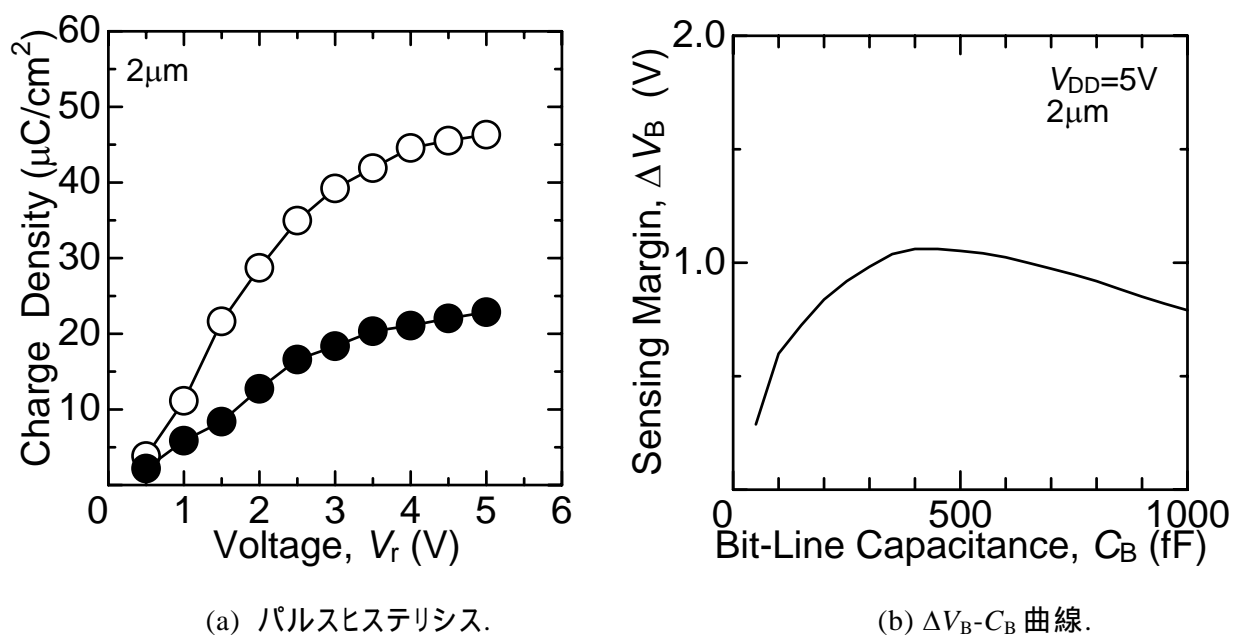


図5.27  $2\mu\text{m}$  容量のパルスヒステリシス測定と $\Delta V_B$ - $C_B$  曲線.

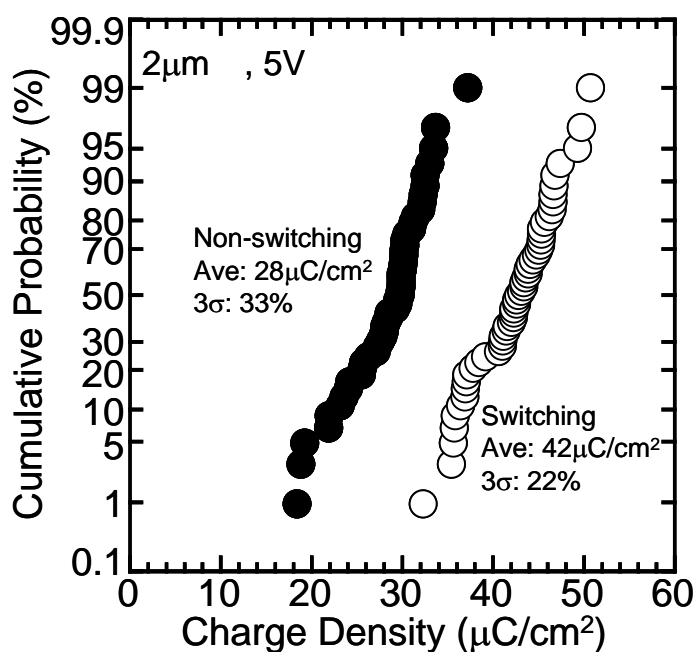


図5.28 ウエハ内全チップのパルス応答特性分布 ( $2\mu\text{m}$  容量).

### 5.5.3 トランジスタ特性

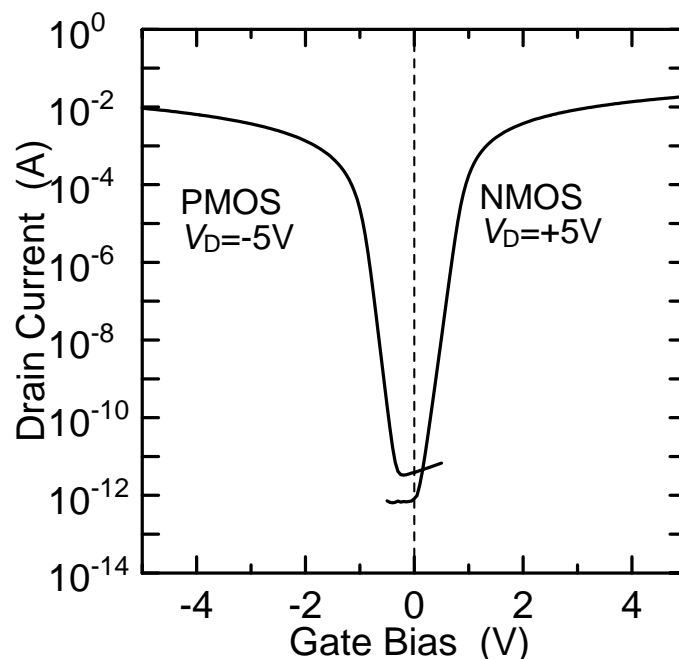
評価したトランジスタの諸元、評価方法、本プロセスルールで規定されている標準規格、および測定結果を表 5-3にまとめる。測定は、面内 52 チップについて行った。図 5.29に、代表的なドレイン電流-ゲート電圧特性を示す。トランジスタ特性から得られたしきい値  $V_T$  とオン電流  $I_{on}$ 、及びこれらの面内分布を表 5-3の下段に示した。NMOS トランジスタの  $V_T$  は、 $0.7 \pm 0.03\text{V}$  であり、本プロセスで定められた標準規格内に入っており、均一性も優れている。PMOS トランジスタの  $V_T$  も、 $-0.84 \pm 0.03\text{V}$  で、標準規格内ではばらつきも小さい。

$I_{on}$  の標準規格は、NMOS で  $3.7\text{mA}$  ( $W=10\mu\text{m}$ ) と規定されているが、本 FeRAM プロセス終了後の  $I_{on}$  は、面内平均で  $3.67\text{mA}$  であり、標準規格に満たないトランジスタが半数程度みられた。PMOS の  $I_{on}$  は、規格を達成しており、ばらつきも小さかった。

以上、FeRAM プロセス終了後のトランジスタ特性を評価した結果、NMOS トランジスタの駆動電流がわずかに劣化していることが分かった。この要因として、強誘電体容量工程に加わる熱プロセスによるチャンネル部へのダメージが想定される。通常の CMOS 工程では、配線工程終了後に水素雰囲気での熱処理を行うことで、チャンネル部の酸化膜/半導体界面の安定化を行っている。しかし、本プロセスでは、強誘電体材料の還元劣化を懸念して水素アニールを省略している。今後、トランジスタの信頼性も含めて、デバイスの特性を向上させるには、水素アニールの実施と強誘電体容量工程の低温化を推し進めていく必要がある。

表 5-3 測定トランジスタ・測定条件・規格・測定結果.

		NMOS	PMOS
測定トランジスタ	ゲート長 ( $L$ )	$0.72\mu\text{m}$	$0.88\mu\text{m}$
	ゲート幅 ( $W$ )	$50\mu\text{m}$	$50\mu\text{m}$
測定バイアス	ソース ( $V_S$ )	$0\text{V}$	$0\text{V}$
	ドレイン ( $V_D$ )	$+5\text{V}$	$-5\text{V}$
	ゲート ( $V_G$ )	$-0.5 \sim +5\text{V}$	$+0.5 \sim -5\text{V}$
	ウェル ( $V_B$ )	$0\text{V}$	$0\text{V}$
定義	しきい値 ( $V_T$ )	$I_D=1\mu\text{A}$ となる $V_G$	$I_D=-1\mu\text{A}$ となる $V_G$
	オン電流 ( $I_{on}$ )	$V_G=+5\text{V}$ での電流値	$V_G=-5\text{V}$ での電流値
標準規格	しきい値 ( $V_T$ )	$0.65 \pm 0.2\text{V}$	$-0.80 \pm 0.2\text{V}$
	オン電流 ( $I_{on}$ ) ( $W=10\mu\text{m}$ 換算)	$3.7\text{mA}$ 以上	$-1.7\text{mA}$ 以下
測定結果	しきい値 ( $V_T$ )	<b><math>0.70 \pm 0.03\text{V}</math></b>	<b><math>-0.84 \pm 0.03\text{V}</math></b>
	オン電流 ( $I_{on}$ )	<b><math>3.67 \pm 0.25\text{mA}</math></b>	<b><math>-1.80 \pm 0.07\text{mA}</math></b>

図 5.29 トランジスタのドレイン電流 ( $I_D$ ) -ゲート電圧 ( $V_G$ ) 特性.

#### 5.5.4 コンタクト抵抗とビア抵抗

次に、コンタクト抵抗およびビア抵抗の評価を行った結果をまとめる。測定対象の諸元、評価方法、本プロセスルールの標準規格、測定結果を表 5-4にまとめる。各々の測定は、表に示すようなチェーン数のコンタクトチェーン及びビアチェーンで行っており、データは全て 1 コンタクト当たり、もしくは 1 ビア当たりの値となっている。なお、メモリセル部の各種コンタクト抵抗は、FeRAM 固有のコンタクトであるため、標準規格は定められていない。

ロジックトランジスタの  $n^+$ 拡散層コンタクトは、規格値の 6 倍程度もあり、大幅に上昇していることが分かる。ビア抵抗も規格の 30 倍程度大きな値となっている。メモリセルトランジスタの拡散層コンタクト抵抗は、ロジックトランジスタよりもコンタクトサイズが大きいにも関わらず、抵抗値が大きくなっている。上部電極コンタクト抵抗は、1 $\Omega$ 程度のチップがいくつか見られただけで、その他の多くのチップでは、数十～500 $\Omega$ 程度の大きな値を示した。下部電極コンタクトは、ウエハ間の相違および面内分布はほとんど見られず、 $0.88 \pm 6\%$ の良好なコンタクトが形成されていた。

本ルールにおける、トランジスタのチャネル抵抗は k $\Omega$ オーダー（表 5-3参照）であるので、表 5-4で示した測定結果（1 個あたりの平均値）は、回路動作上問題にならない可能性が高い。しかし、ここで示された抵抗は、1000 個あるいは 2000 個の直列チェーンで測定した結果の平均値であり、局所的に極端な高抵抗コンタクトやビアが存在していることも考えられる。また、高いコンタクト抵抗やビア抵抗は、発熱や EM 耐性劣化の可能性があり、長期信頼性等に多大な影響を及ぼしかねない。

表 5-4 コンタクトおよびビア抵抗の測定.

	ロジック		メモリセル		
	n <sup>+</sup> コンタクト	ビア (M1-M2)	n <sup>+</sup> コンタクト	上部電極	下部電極
サイズ	0.8 $\mu\text{m}$	1.0 $\mu\text{m}$	1.4 $\mu\text{m}$	1.0 $\mu\text{m}$	1.0 $\mu\text{m}$
チェーン個数	1000	2000	1000	1000	1000
測定バイアス	-5V ~ +5V				
規格	13 $\pm$ 1 $\Omega$	0.12 $\pm$ 0.04 $\Omega$	-	-	-
測定結果	<b>70.6 <math>\pm</math> 7.8<math>\Omega</math></b>	<b>3.48 <math>\pm</math> 0.62<math>\Omega</math></b>	<b>89.2 <math>\pm</math> 19.6<math>\Omega</math></b>	<b>1~500<math>\Omega</math></b>	<b>0.88 <math>\pm</math> 0.05<math>\Omega</math></b>

トランジスタへのコンタクトやビアは、通常のロジックプロセスでは CVD 法による W の埋設 (W-CVD) を用いている。しかし、W-CVD プロセスは、原料ガスである  $\text{WF}_6$  を還元させて析出させるプロセスであり、 $\text{H}_2$  や  $\text{SiH}_4$  などの還元剤を導入する。強誘電体は、言うまでもなく酸化物であるため、これらの還元雰囲気プロセスによって劣化することが知られている。そこで、本プロセスでは、コンタクトやビアに W を用いずに、スパッタによる Al メタライズプロセスを採用した。しかし、スパッタプロセスでは、図 5.20 に示すように、コンタクト部分の埋設性が悪く、コンタクト壁面に沿って薄膜で接続されているだけである。このため、コンタクトやビアの抵抗が規格 (W-CVD プロセスを前提として設計されている) を大きく上回る結果となった。また、前述したように、セルトランジスタのコンタクトは、ロジックトランジスタよりも深くなっているため、セルトランジスタのコンタクト抵抗が高くなっている。

上部電極コンタクトの高抵抗化の原因としては、プロセス中に上部電極最表面に形成される酸化膜 ( $\text{IrO}_x$ ) が考えられる。表 5-1 で示したように、容量コンタクトエッチング後には、回復アニールと称する酸素アニールを行っている。この際に、上部電極表面が酸化される。この上部電極上に配線材が成膜されると、配線材の一部が酸化し、高抵抗層を形成するため、コンタクト抵抗が上昇する。下部電極は、酸化耐性の強い Pt を用いていることで、上部電極で見られたコンタクト抵抗の上昇は見られない。

以上のように、コンタクト抵抗およびビア抵抗は、本プロセスルールで規定された規格の範囲を超えるものが多く見られた。これは、FeRAM プロセスが、本来の CMOS と配線プロセスに完全に準拠しているわけではないことが要因である。コンタクトや配線系の信頼性を向上させるためには、コンタクトホールやビアホールの完全な埋設を実現し、抵抗上昇を抑えなければならない。このために、W-CVD プロセスに耐え得る耐還元雰囲気のバリア膜を採用するか、Cu ダマシンプロセスを採用することで解決していくことが望まれる。

### 5.5.5 16kbit-FeRAM の動作マージン

最後に 16kbit-FeRAM の動作特性を評価した。全ビット完全動作したチップは、ウエハ面内 52 チップ中 3 チップで、ウエハ全体のビット歩留まりは 90%であった。フェイルビット数の分布は、ウエハ面内ではほぼランダムに見られる。これらの不良は、コンタクト抵抗やビア抵抗がスペックを大幅に上回っていることや、上部電極コンタクト抵抗が極めて高いことが原因の一つであると考えられる。また、プロセスによる劣化が生じた後の容量特性に、図 5.28に示したようなばらつきが存在していることも動作不良の一因である。

図 5.30には、読み出しビット線電圧の分布（1 チップ内 16kbit セル分）を示す。この分布を見ると、チップ内でも容量特性が大きくばらついていることが分かる。図 5.27では、 $2\mu\text{m}$  容量の実際の特性から、読み出し動作マージン ( $\Delta V_B$ ) を見積もった。その結果、ビット線容量を 500fF と仮定すると、 $\Delta V_B$  は約 1V であった。これに対して、実際のデバイスにおける  $\Delta V_B$  の平均 (peak-to-peak) は、約 0.7V であった。この値は容量特性から見積もった値に近く、容量特性のばらつきを反映したばらつきの範囲内と考えられる。

以上で述べたように、FeRAM 動作不良の原因としては、容量特性の劣化と、コンタクト抵抗の上昇が有力であると考えられる。容量特性のばらつきは、配線工程によって促進されており、コンタクト抵抗の上昇も配線工程に起因している。したがって、歩留まり向上のためには、配線プロセスの改善を行う必要がある。

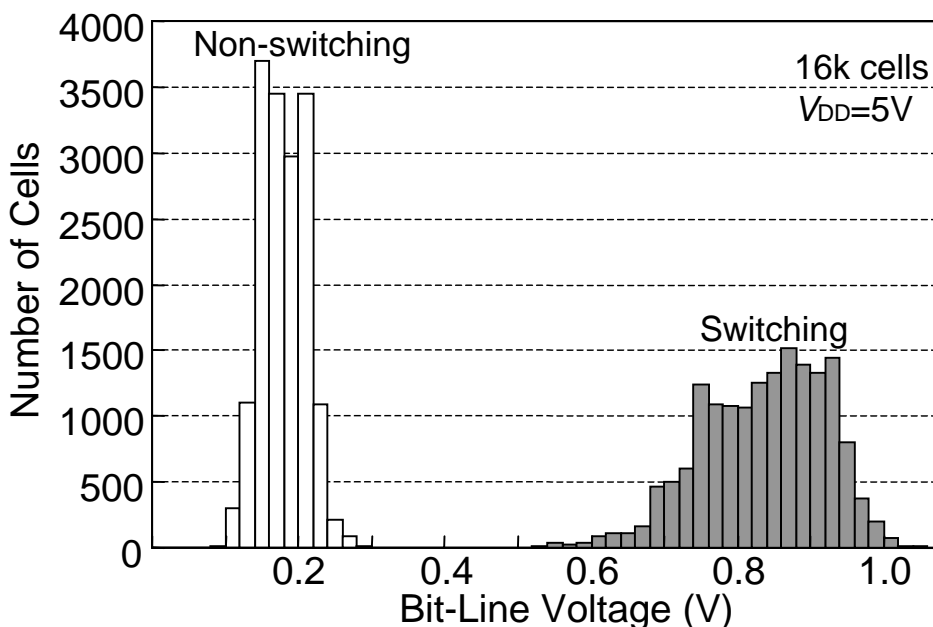


図 5.30 ビット線電圧分布.

## 5.6 本章のまとめ

本章では、FeRAM におけるインプリント不良のモデル化を行い、強誘電体容量の特性から、信頼性予測を行う手法を提案した。また、この手法を用いて、A サイト組成を変化させた PZT 容量について、信頼性予測を行い、FeRAM の長期信頼性向上の指標を示した。最後に、最適化された組成の PZT を用いて、16kbit-FeRAM の試作を行い、インテグレーションプロセスにおける課題の抽出と、メモリ動作の確認を行った。

インプリントは、残留分極による内部電界で、 $P$ - $V$ ヒステリシスが電圧軸方向へシフトする現象である。ヒステリシスの非線形性を  $\tanh$  関数で表現し、抗電圧  $V_c$  のシフトによってインプリント後のヒステリシスループを表現することに成功した。ヒステリシスのシフトレートは、stretched exponential で表現でき、シフトレートを先のヒステリシスループの関数に取り込むことで、一定の期間データ保持を行った後のヒステリシスループが表現できる。さらに、ヒステリシスがシフトして、抗電圧が小さくなったときに顕著になる「分極緩和」の効果も考慮したモデリングを行った。分極緩和は、ヒステリシスと同様の  $\tanh$  関数でよく表現でき、 $V_c$  のシフト量の関数で表されることが分かった。以上の各モデルは、全て実際の容量を用いて評価した結果をもとにフィッティングによってパラメータを決定する半経験的な手法である。したがって、強誘電体容量の特性に応じて、FeRAM の信頼性予測を正確に行うことが可能となる。

以上のモデルを用いて、FeRAM セルにおける  $\Delta V_B$  の変動を予測し、センスアンプの検出限界とされる  $\Delta V_B = 100\text{mV}$  となる保持期間を調べることで、FeRAM の寿命予測を行うことが可能となる。PZT 容量の A サイト組成を変化させ、インプリント寿命予測を行い、高信頼性 FeRAM 容量を目的とした検討を行った。インプリント寿命と合わせて、第 4 章で述べたような基本的な特性についても詳細に評価を行った。

表 5-5 に、諸特性の A サイト組成依存性をまとめる。Pb0La3 の組成では、残留分極が小さく、5V での初期動作マージンは、他の組成よりも小さくなっている。しかし、抗電圧が低いことも影響して、動作電圧が 2.5V まで低下した場合には、初期動作マージンの差は小さくなる。Fatigue rate の定義は、2.2 節で示した通りであり、Pb0La3 の場合には無疲労に見えるが、図 5.16(c) に示したように  $10^9$  回程度から疲労は始まっている。しかし、3V のスイッチングでは  $10^{11}$  回までほとんど疲労が見られず、大幅に信頼性が向上した。Imprint rate については、A サイトの Pb 過剰量の減少に伴って、低下する傾向がある。インプリントによるセル寿命を予測した結果、Pb0La3 の組成では、150 で 10 年保持した後でも、逆データの読み出しが問題なく読み出せる可能性があることが示された。

最後に、Pb0La3-PZT を用いて、FeRAM マクロチップの試作を行った。その結果、16kbit の完全動作チップが得られた。しかし、試作過程で、プロセスを経ると容量特性が徐々に劣化していく様子が見られた。この要因として、容量上部に形成される膜の応力や、プロセス雰囲気の影響が考えられるが、このようなプロセス劣化を抑えるためには、容量形成後のプロセス数を可能な限り抑えるような工夫をする必要がある。また、NMOS トランジスタの駆動電流が低下したり、コンタクト抵抗やビア抵抗が上昇したりする問題も浮き彫りになった。今回の試作では、メモリ動作の確認ができたが、このような各素子の特性劣化は、ロジック回路の信頼性を損ないかねない。これらの問題を回避するために



は、W-CVD によるコンタクトやビアの埋設や、水素アニールによるトランジスタ特性の安定化を行う必要がある。しかし、強誘電体容量に対して、このような還元プロセスは致命的である。そこで、第 6 章で述べるような、多層配線形成後に PZT 容量を形成する構造が提案されている。次章では、この構造を実現するための課題とその解決策について述べる。

表 5-5 諸特性の A サイト組成依存性のまとめ。

Property			Measurement <sup>*1</sup>	Conditions	A-site content		
					Pb20	Pb13	Pb0La3
Basic properties	2 <i>P</i> <sub>r</sub> (μC/cm <sup>2</sup> )		Hysteresis loop (2.2(1))	5V, 10 kHz saw-tooth wave	21	25	17
	<i>V</i> <sub>c</sub> (V)				1.3	1.2	1.1
	<i>ε</i> <sub>S</sub>				9000	18000	3400
	<i>ε</i> <sub>N</sub>				420	500	520
	<i>ε</i> <sub>S</sub> / <i>ε</i> <sub>N</sub>				21	36	6.5
Sensing margin <sup>*2</sup>	Δ <i>V</i> <sub>B</sub> (V)		Pulse measurement (2.2(2))	5V-drive	2.0	2.0	1.5
				2.5V-drive	0.7	0.7	0.6
Aging reliability	Fatigue rate		2.2(3)	1 MHz, 5V	25%	23%	0%
	Static imprint	rate	2.2(4)	90 days retention @150°C, 5V	72%	62%	41%
		lifetime	5.3		0.7 years	1.6 years	16 years

\*1 本論文中で評価法を記載している節番号を示す。

\*2  $A_{\text{ferro}}=4\mu\text{m}^2$ ,  $C_B=500\text{fF}$  とした場合。

## 参考文献

- [1] R. Ramesh, W. K. Chan, B. Wilkens, H. Gilchrist, T. Sands, J. M. Tarascon, D. K. Fork, J. Lee, and A. Safari, *Appl. Phys. Lett.*, **61**, 1537 (1992).
- [2] J. Lee, L. Johnson, A. Safari, R. Ramesh, T. Sands, H. Gilchrist, and V.G. Keramidas, *Appl. Phys. Lett.*, **63**, 27 (1993).
- [3] R. Ramesh, J. Lee, T. Sands, V.J. Keramidas, and O. Auciello, *Appl. Phys. Lett.*, **64**, 2511 (1994).
- [4] R. Dat, D. J. Lichtenwalner, O. Auciello, and A. I. Kingon, *Appl. Phys. Lett.*, **64**, 2673 (1994).
- [5] I. Stoichnov, A. Tagantsev, N. Setter, J.S. Cross, and M. Tsukuda, *Appl. Phys. Lett.*, **74**, 3552 (1999).
- [6] O. Auciello, K.D. Gifford, and A.I. Kingon, *Appl. Phys. Lett.*, **64**, 2873 (1994).
- [7] T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, *Appl. Phys. Lett.*, **65**, 1522 (1994).
- [8] T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, *Jpn. J. Appl. Phys.*, **33**, 5207 (1994).
- [9] R. Ramesh, W. K. Chan, B. Wilkens, H. Gilchrist, T. Sands, and J. M. Tarascon, *Appl. Phys. Lett.*, **61**, 1537 (1992).
- [10] S. Aggarwal, S. Madhukar, B. Nagaraj, G. Jenkins, and R. Ramesh, *Appl. Phys. Lett.*, **75**, 716 (1999).
- [11] I. G. Jenkins, T. K. Song, S. Madhukar, A. S. Prakash, S. Aggarwal, and R. Ramesh, *Appl. Phys. Lett.*, **72**, 3300 (1998).
- [12] J. Lee, C. H. Choi, B. H. Park, T. W. Noh, and J. K. Lee, *Appl. Phys. Lett.*, **72**, 3380 (1998).
- [13] W. L. Warren, D. Dimos, G. E. Pike, B. A. Tuttle, M. V. Raymond, R. Ramesh, and J. T. Evans, Jr., *Appl. Phys. Lett.*, **67**, 866 (1995).
- [14] W. L. Warren, H. N. Al-Shareef, D. Dimos, B. A. Tuttle, and G. E. Pike, *Appl. Phys. Lett.*, **68**, 1681 (1996).
- [15] T. Mihara, H. Watanabe, and C. A. P. de Araujo, *Jpn. J. Appl. Phys.*, **32**, 4168 (1993).
- [16] J. Lee, R. Ramesh, V. G. Keramidas, W. L. Warren, G. E. Pike, and J. T. Evans, Jr., *Appl. Phys. Lett.*, **66**, 1337 (1995).
- [17] R. R. Mehta, B. D. Silverman, and J. T. Jacobs, *J. Appl. Phys.*, **44**, 3379 (1973).
- [18] J. M. Benedetto, R. A. Moore, and F. B. McLean, *J. Appl. Phys.*, **75**, 460 (1994).
- [19] I. G. Jenkins, T. K. Song, S. Madhukar, A. S. Prakash, S. Aggarwal, and R. Ramesh, *Appl. Phys. Lett.*, **72**, 3300 (1998).
- [20] M. Grossmann, O. Lohse, D. Bolten, U. Boettger, and R. Waser, *Appl. Phys. Lett.*, **76**, 363 (2000).

- [21] B. Jiang, P. Zurcher, R. E. Jones, S. J. Gillespie, and J. C. Lee, *Symp. VLSI Technology 1997 Dig. Tech. Papers*, 141 (1997).
- [22] S. Aggarwal, A. M. Dhote, R. Ramesh, W. L. Warren, G. E. Pike, D. Dimos, M. V. Raymond, B. A. Tuttle, and J. T. Evans, Jr., *Appl. Phys. Lett.*, **69**, 2540 (1996).
- [23] H. H. Park, I. S. Jin, D. H. Kim, and T. S. Kim, *Thin Solid Films*, **332**, 300 (1998).
- [24] S. Aggarwal, S. Madhukar, B. Nagaraj, I. G. Jenkins, and R. Ramesh, *Appl. Phys. Lett.*, **75**, 716 (1999).

## 第6章

# PZT 成膜の低温化と多層配線上の容量形成

### 6.1 低温 PZT 容量プロセスの必要性

PZT 容量を FeRAM に搭載する際、容量形成後のプロセスによって、容量特性が劣化することが問題となっていることは、前章で述べた。この劣化の要因として、容量上に多層膜が形成されることによる応力、プロセス雰囲気による還元性ダメージ、プラズマによるチャージングダメージ、物理的な衝撃によるダメージなど、複数の要因が考えられる。FeRAM をインテグレーションする立場からすると、これらの要因を個別に特定し、改善していくことが望まれる。[1] また、材料の立場からは、プロセス劣化耐性の高い容量膜を提案していく必要がある。[2]

上記のようなアプローチとは別に、強誘電体容量形成後のプロセスステップを、極力削減するような容量構造が提案されている。すなわち、LSI の多層配線を形成した後に、容量を形成する構造である。図 6.1に、天沼らが提案した CMVP (Capacitor on Metal/Via stacked Plug) セル構造 [3-5] を示す。このように、LSI の多層配線上に、強誘電体容量を設けることで、容量形成後の配線層数が一層に限定される。したがって、多層膜形成による応力の影響が軽減されることになるだけでなく、プロセス数が削減されるため、プロセスに起因する劣化も抑制することが可能である。さらに、従来の構造では、還元プロセスのため敬遠されていた、W-CVD によるビア埋設プロセスも実現でき、今後の微細化プロセスにも十分に対応し得る。

本セル構造は、通常の LSI チップの最上層に、強誘電体容量と一層配線を形成するだけで実現できるため、汎用ロジックと組み合わせることが容易である。すなわち、高機能ロジックの性能を最大限に引き出しながら、不揮発性メモリを混載することも可能となる。製造ライン整備の観点からすると、容量工程のみ、新材料ラインとして構築する必要があるが、下層部分は汎用ラインを活用することが可能となり、ライン構築および維持のコストが低減される利点もある。

しかし、CMVP 構造を実現するためには、強誘電体容量形成プロセスを低温化し、下層の配線層へのダメージを抑制する必要がある。すなわち、熱負荷によって、配線の主成分である Al と密着層である Ti が反応し、配線自体が高抵抗化したり、ビア底部の接触抵抗が高抵抗化したりする可能性がある。これらの配線材料の変質は、ロジック回路の動作信頼性や、配線の長期信頼性に大きく関わる。0.5 ~ 0.25 $\mu\text{m}$  世代では、配線層間絶縁膜の CVD や、ビアおよびコンタクトの埋設 W-CVD、トランジスタ特性安定化の水素アニールなどの熱処理が行われるが、全て 400 前後の温度に抑えられて

いる。したがって、強誘電体容量形成プロセスが 400 前後であれば、配線特性に及ぼす影響は小さい。そこで、400 台での PZT 容量形成を目的とした実験を行うことにした。

PZT 膜の低温成膜に関しては、いくつかの報告が行われている。ゾルゲル法については、下部電極 Pt との界面に  $\text{Pt}_3\text{Pb}$  を形成することで、ペロブスカイト結晶化温度の低温化が図られ、480 の結晶化で強誘電性を得ることに成功している。[6] この他に、下部電極上にシード層として  $\text{PbTiO}_3$  や Ti-rich の PZT を用いて低温化するという報告もある。[7,8] これは、Ti-rich PZT の結晶化温度が低いことを活用した手法である。PVD 法についても、イオンビームスパッタ法を用いた成膜において、 $(\text{Pb},\text{La})\text{TiO}_3$  シード層を挟んだ  $(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$  のスパッタを 415 で実現している。[9] また、RF スパッタ法では、このようなシード層を用いずに、450 で PZT の成膜を行ったという報告もある。[10,11] この場合には、ターゲットとスパッタ雰囲気制御を精密に行っている。MOCVD 法についても低温化に関する報告はあり [12]、すでにデバイスに適用した例も報告されている。[3-5]

このように、PZT 容量形成プロセスの低温化に対するアプローチはいくつか行われているが、多層配線に及ぼす影響まで調べた報告はされていない。配線に対するダメージは、プロセス温度とプロセス時間の、いわゆる熱負荷によって決定されるため、低温化と同時に短時間化に対するアプローチも必要である。また、実際にインテグレーションを行い、配線特性に及ぼす影響を調査するなど、明確な目標を持ってプロセス開発を行う必要がある。

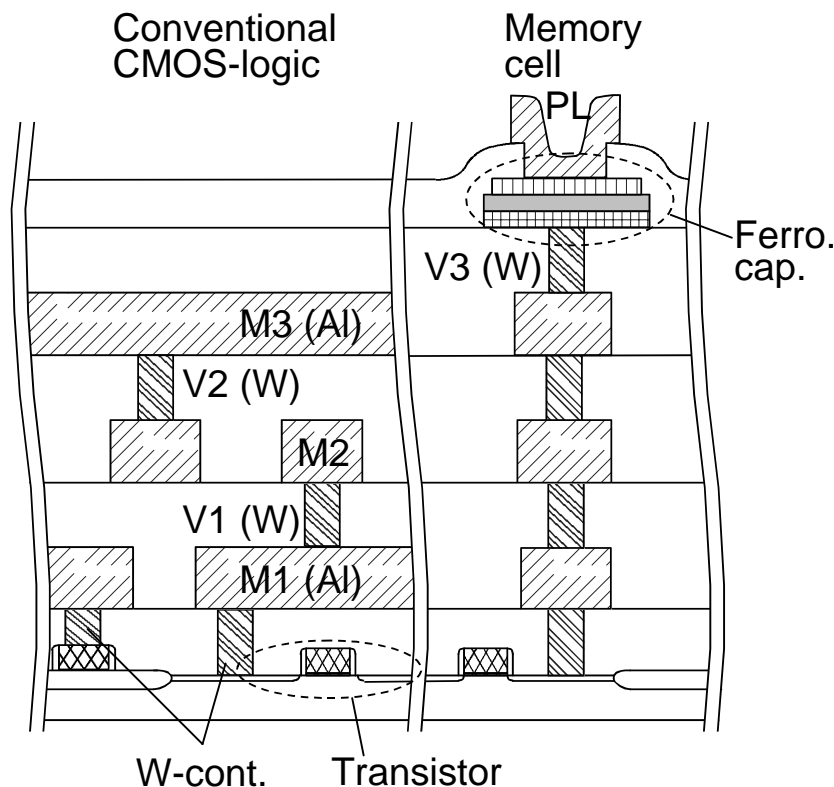


図 6.1 多層配線上にセル容量を形成する CMVP セル構造 (ロジック 3 層配線の例).

本章では、スパッタ法による PZT 容量形成プロセスの低温化を検討し、多層配線上への容量形成を行った。W ピア/Al 配線上に形成した微細容量特性や、多層配線特性の評価を行い、CMVP 容量を搭載した FeRAM の可能性と課題を抽出する。

## 6.2 実験

初めに、これまでの PZT 成膜手法に基づき、アニールによる相転移温度の低温化を目的とした実験を行った。PZT の組成と相転移アニール雰囲気を変化させ、ペロブスカイト相へ転移する温度を調べた。ここでは、Pt 下部電極上に、400 でパイロクロア相の PZT をスパッタ成膜し、アニールによる転移過程を解析した。

表 6-1 に、各実験条件をまとめる。ターゲット組成は、Pb 過剰量 (A サイト) を 10% に固定して Zr/Ti 比 (B サイト組成比) を変化させたものと、Zr/Ti 組成比を 35/65 に固定して A サイト組成を変化させたものがあり、合計 5 条件である。成膜温度を 400 とし、スパッタ後のアニール温度を 400 ~ 600 まで振った。また、相転移アニールは、通常の炉での酸素アニールに加え、HIP (Hot Isostatic Pressing) 装置を用いた高压酸素アニールも行った。HIP 装置では、Ar:O<sub>2</sub>=4:1 の組成のボンベが接続されており、コンプレッサによってこのボンベ圧から徐々に圧力を上昇させていく。このとき、同時に温度も上昇させ、高压・高温雰囲気を得られるようになっている。今回の実験では、60 分間かけて目標温度と圧力に到達させ、30 分間の熱処理後に、常圧・常温に戻した。HIP によるアニール処理は、圧力を 500atm (O<sub>2</sub> 分圧 100atm) とし、温度を 450 ~ 500 で行った。

以上の実験では、熱処理後に常温・常圧で XRD 測定を行い、相転移の状況を観察した。熱処理による相転移過程の解析を詳細に行うために、高温 XRD 装置を用いて XRD 測定を行ったものもある。この場合は、常圧 Ar、大気、常圧酸素と、雰囲気を変えて評価を行った。

表 6-1 相転移アニールの検討に関する実験条件.

	条件等	
下部電極	Pt	
PZT ターゲット	Pb10% 過剰固定	Zr/Ti=53/47, 35/65, 20/80
	Zr/Ti=35/65 固定	Pb10% 過剰, Pb5% 過剰 Pb2% 過剰 + La3% 添加
成膜温度	400	
RF, スパッタ時間	3kW, 300sec., 200nm	
スパッタガス	Ar/O <sub>2</sub> =45/5sccm, 5.7mTorr	
相転移アニール	・400 ~ 600 , 30min. ・炉, HIP, 高温 XRD 装置 ・大気, 常圧酸素, 高压酸素 (Ar/O <sub>2</sub> ), 常圧 Ar	

続いて、アニール実験で得られた知見をもとに、スパッタ雰囲気制御実験を行った。表 6-2 に、行った実験のスパッタ条件を示す。As-deposited 膜の XRD 測定を行い、結晶相の同定を行った。さらに、スパッタ条件の他に、下部電極材料を Pt から Ir 系電極へと変更する実験も行った。

表 6-2 スパッタ条件の検討に関する実験条件.

	条件等
下部電極	Pt, Ir, Ir(O), IrO <sub>2</sub>
PZT ターゲット	Pb 過剰 (欠損) 量を変化させたターゲット (Zr/Ti=40/60 ~ 30/70) +10%, +5%, +2%, -10%, -15%, -20%, -25% (Pb 過剰量 2% 及び Pb 欠損ターゲットには La3% 添加)
成膜温度	450-500
RF, スパッタ時間	3kW, 200nm
スパッタガス	Ar/O <sub>2</sub> , O <sub>2</sub> 濃度 0 ~ 50%, 11mTorr

## 6.3 相転移プロセスにおける低温化の検討

### 6.3.1 相転移温度の PZT 組成依存性

図 6.2 に、ターゲットの B サイト組成比 (Zr/Ti 比) を変化させてスパッタを行った、PZT 膜の XRD 回折スペクトルを示す。酸素雰囲気、1 気圧の電気炉でアニールを行っており、入炉 10 分、熱処理時間 30 分、出炉 10 分のシーケンスで処理を行った。Zr/Ti=53/47 の場合には、550 以上でアニールを行わなければ、ペロブスカイト単相に転移しなかった。これに対して、Zr/Ti=35/65 の場合は、500 のアニールによってペロブスカイト相へと転移している。図 6.2 を見る限りでは、Zr/Ti=35/65 と、20/80 の場合で、ペロブスカイト相転移温度の顕著な違いは見られなかった。しかし、より詳細に見ると、Zr/Ti=0.35/0.65 では、450 ではパイロクロア単相であるのに対して、20/80 の場合には、わずかながら、ペロブスカイトのピークが見受けられた。

Zr/Ti=53/47 の場合には、as-deposited でのパイロクロアの(400)配向度が強く、Ti 比率が増大すると、パイロクロア(400)に対する(222)の配向度が強くなっていく。これに伴って、転移後のペロブスカイトの配向度は、Ti 比率の増加に伴い、(111)配向が弱くなり、(100)配向度が徐々に強くなる傾向を示した。このことは、4.3 で述べた結果と一致している。同様の評価を、A サイトの組成を変化させた場合についても行ったが、A サイト組成を変化させても相転移温度は変化しなかった。

ペロブスカイト相への結晶相転移温度の組成依存性を、図 6.3 にまとめる。B サイト組成における Ti 比率の増大により、相転移温度の低温化が起こることが分かった。PZT においては、一般に、Ti 組成が増大すると、結晶化温度が低温化するとされており[7,8]、今回の相転移に関しても、それと同

様の傾向を示したことになる。しかし、今回評価を行った条件の中で、最も Ti リッチであった Zr/Ti=20/80 のものでも、500 以上でアニールしなければペロブスカイト単相に転移しないことが分かった。一方、A サイト組成に関しては、今回の実験の範囲内では、相転移温度に全く影響しなかった。

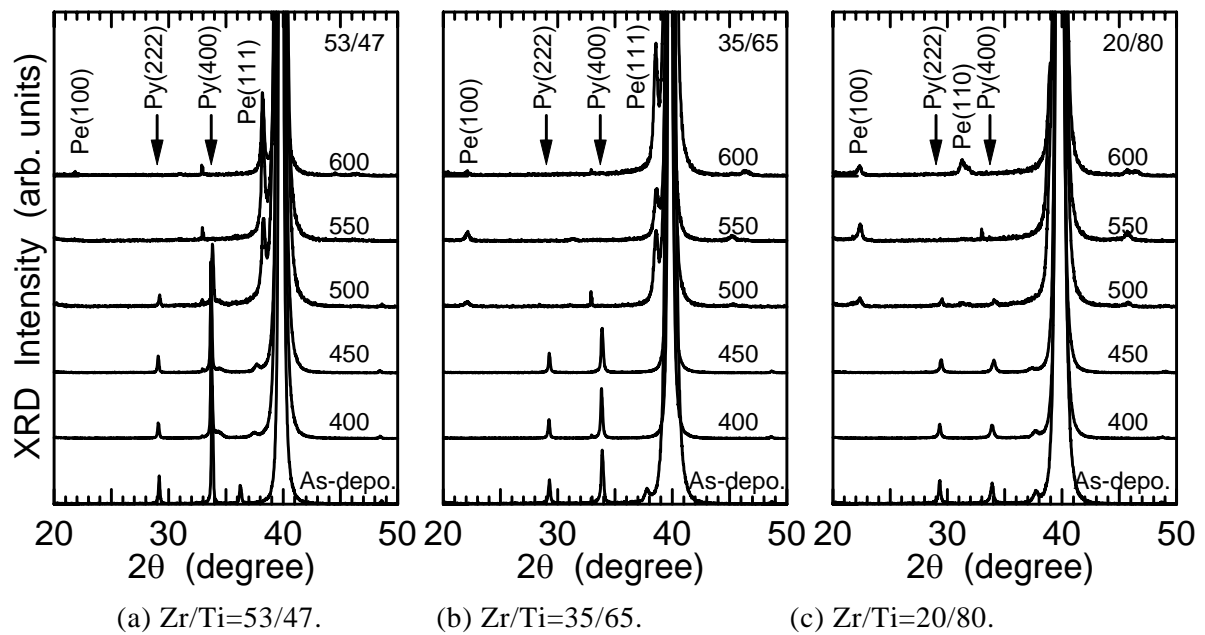


図 6.2 スパッタ PZT 膜の XRD スペクトルの相転移アニール温度依存性.

Zr/Ti in Target	Annealing Temperature ( °C )				
	400	450	500	550	600
53/47	Pyrochlore		Pyro+ Pero	Perovskite	
35/65					
20/80					

Independent of A-site content

図 6.3 相転移温度の組成依存性.



### 6.3.2 相転移アニール雰囲気制御

パイロクロア相では、Pbと酸素が不定比で存在すると言われており、酸素欠損やPbが定比からずれることで生じやすくなる。[11,13-15] 仮に、酸素欠損が原因で、スパッタ後にパイロクロア相が得られるとすれば、酸素分圧を高めるような熱処理を行うことで、ペロブスカイト相へ安定化できる可能性がある。そこで、HIP 装置を用いて高压酸素雰囲気での熱処理実験を行った。O<sub>2</sub>を20%含有するAr/O<sub>2</sub>混合ガスを、500気圧まで昇圧し、450~500で30分間の熱処理を行い、常温・常圧でXRD測定を行った。本項の実験で用いたターゲットの組成は、Pb<sub>1.1</sub>Zr<sub>0.35</sub>Ti<sub>0.65</sub>O<sub>x</sub>である。

図6.4に、as-deposited、高压酸素アニール、常圧酸素アニール後のXRDスペクトルを示す。アニール温度を500としたものについて測定を行っている。図を見て明らかなように、高压酸素アニールでは、as-depositedとほぼ同じスペクトル形状を示しており、相転移が全く生じていないことが分かる。これに対して、常圧酸素アニールでは、ペロブスカイト相単相に転移している。以上の結果、高压酸素雰囲気は、ペロブスカイト相よりもパイロクロア相を安定化させることが分かった。

以上の知見をもとに、熱処理雰囲気の酸素分圧を変化させて、相転移温度を詳細に検討した。サンプル加熱と雰囲気制御が可能なXRD測定装置を用いて、1気圧の酸素（酸素分圧：1atm）、1気圧の空気（酸素分圧：0.2atm）、1気圧のAr雰囲気（酸素分圧：0）で、サンプル加熱をしながらXRD測定を行った。本実験により、パイロクロア相からペロブスカイト相への相転移を示す指標として、以下のように、ペロブスカイト相含有率を定義する。

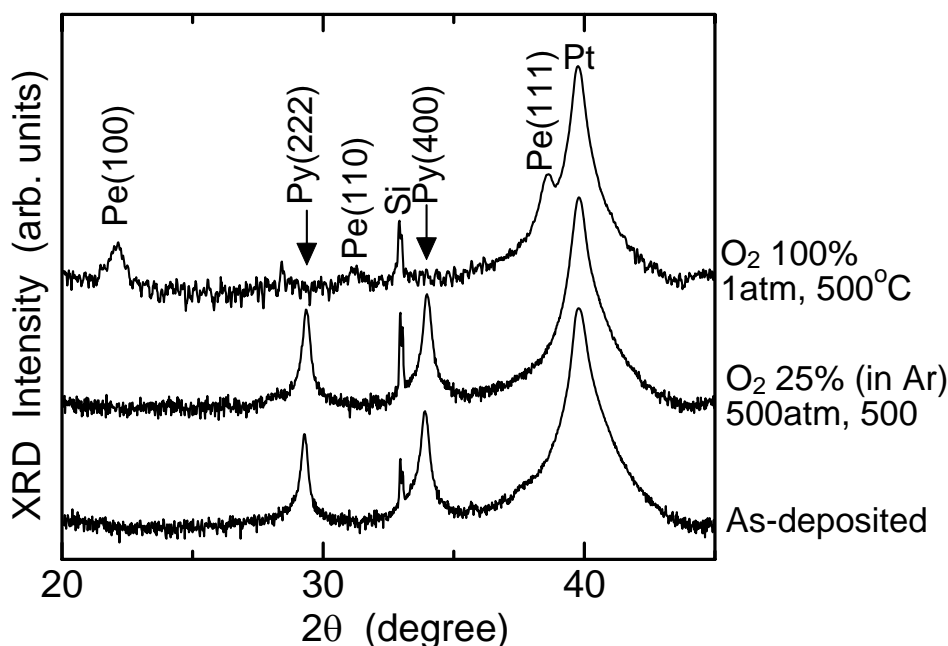


図 6.4 酸素分圧を変化させて 500 でアニールを行った PZT 膜の XRD スペクトル。

ペロブスカイト PZT における、{100}ピーク積分強度、{110}ピーク積分強度、(111)ピーク積分強度に対して、粉末パターンに基づいた重み付けを行って合算したものを、ペロブスカイトの積分強度とする。JCPDS カードによると、{100}、{110}、(111)の相対強度比は、B サイト組成によっても若干変化するが、概ね 1:4:1 である。したがって、{100}および(111)強度を 4 倍し、{110}強度との和をとることで、ペロブスカイト相の総積分強度としている。一方、パイロクロア相の粉末パターン (JCPDS カードより) では、(222)および(400)の各ピークの相対強度比は、2:1 である。したがって、(222)ピーク積分強度に(400)ピーク積分強度を 2 倍して加えたものを、パイロクロア相の総積分強度としている。すなわち、ペロブスカイト積分強度値を  $I_{Pe}$ 、パイロクロア積分強度値を  $I_{Py}$  とすると、

$$I_{Pe} = 4 I_{\{100\}} + I_{\{110\}} + 4 I_{(111)}, \quad (6.1)$$

$I_{\{100\}}$ : ペロブスカイト(001)(100)ピークの積分強度,  
 $I_{\{110\}}$ : ペロブスカイト(101)(110)ピークの積分強度,  
 $I_{(111)}$ : ペロブスカイト(111)ピークの積分強度.

$$I_{Py} = I_{(222)} + 2 I_{(400)} \quad (6.2)$$

$I_{(222)}$ : パイロクロア(222)ピークの積分強度,  
 $I_{(400)}$ : パイロクロア(400)ピークの積分強度.

と定義し、ペロブスカイト含有率  $R_{Pe}$  を、

$$R_{Pe} = I_{Pe} / (I_{Pe} + I_{Py}) \quad (6.3)$$

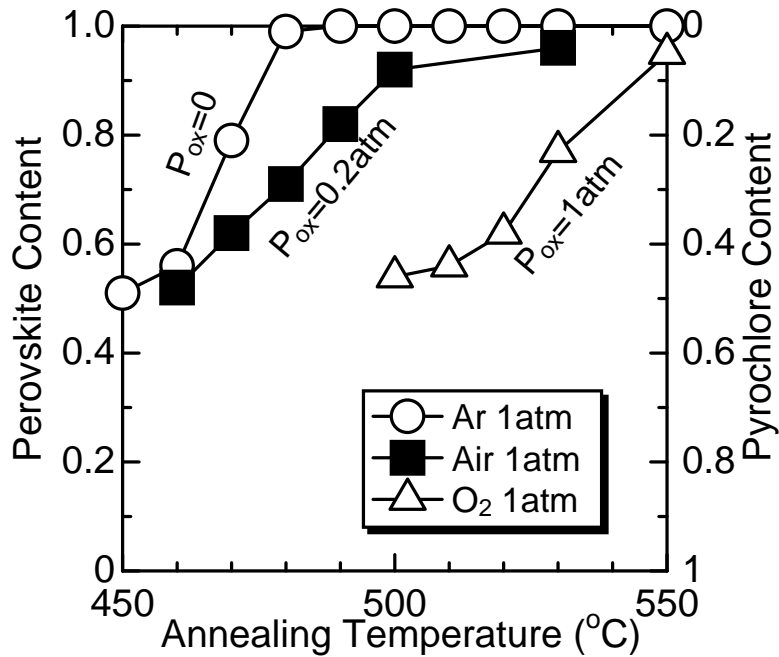


図 6.5 高温 XRD による相転移過程の観察.

とする。ペロブスカイトとパイロクロアの相対強度比較はできないので、本評価は概算的な見積もりとなるが、相転移の傾向を把握することは可能である。

図 6.5に、高温 XRD 測定から得られた相転移過程の解析結果を示す。酸素分圧が 0 の雰囲気 (Ar 雰囲気) で、温度を上昇させながら、XRD 測定を行うと、490 °C でペロブスカイト単相になり、相転移が完了した。大気中で同様の測定を行うと、530 °C で 96%までペロブスカイト相となっている。さらに、純酸素雰囲気で、測定を行った場合には、550 °C になってもペロブスカイト相単相の膜が得られなかった。この相転移過程のアレニウスプロットによる解析から、各雰囲気での相転移の活性化エネルギーを求めると、Ar 雰囲気で 1.1eV、空気中で 0.74eV、酸素雰囲気で 0.68eV であった。

以上の実験結果からも、相転移雰囲気における酸素の存在は、パイロクロア相を安定化させ、ペロブスカイト相への相転移を抑制する働きがあることが分かった。前にも述べたように、パイロクロア相では、Pb と酸素が不定比で存在できるため、過剰すぎる酸素の供給がパイロクロア相を安定化するのに貢献すると考えられる。熱処理雰囲気の酸素分圧を低減することで、過剰な酸素の脱離を促進させるとともに、高温安定相であるペロブスカイト相への転移が容易になると推察できる。

## 6.4 プロセス制御によるペロブスカイト PZT の低温形成

### 6.4.1 PZT スパッタ雰囲気制御

これまでは、スパッタ後に相転移アニールを行うことで、ペロブスカイト相を得るというプロセスの検討を行ってきた。その結果、熱処理雰囲気ににおける酸素分圧を低下させることで、相転移温度が低下することが示され、500 °C 以下でもペロブスカイト相単相が得られることが示された。しかし、このような相転移を活用した成膜法では、アニールによる長時間の熱処理が必要となる。そこで、スパッタ中に、相転移アニール処理と類似の効果を含んだプロセスを行うことで、スパッタ法により直接ペロブスカイト相を成膜することを試みた。アニール処理を行わずにペロブスカイト相を得ることが可能になれば、PZT スパッタ時間に相当する時間だけ高温に曝されれば良いことになる。PZT スパッタ時間は、条件にもよるが 3 ~ 10 分程度であり、相転移アニールの 30 分と比較すると極めて短くなる。

500 °C でのスパッタにより、ペロブスカイト相単相膜を得ることを目的とし、スパッタ雰囲気における酸素分圧を変化させて、成膜される膜の結晶相の同定を行った。図 6.6に、スパッタガス組成を変化させて成膜した PZT 膜の XRD スペクトルを示す。圧力は、全て 11mTorr に固定し、3kW で成膜を行った。酸素濃度が 0、すなわち純 Ar 雰囲気でスパッタを行った場合には、ペロブスカイト相単相膜が得られた。しかし、わずかに 2%の酸素が混入しただけで、パイロクロア相単相の膜となった。当然ながら、酸素濃度をさらに上昇させても、パイロクロア相の単相膜が得られている。ただし、パイロクロア相の配向が、酸素濃度によって変化しており、低酸素濃度では(222)配向で、酸素濃度が増加すると(400)配向へと変化していく。

4.3で示したように、成膜温度が 350 °C と低温の場合には、as-deposited 膜のパイロクロア相は(400)配向で、成膜温度が上昇すると(222)配向となる。このことを考え合わせると、酸素分圧の低下と、

成膜温度の上昇とは、結晶配向の観点から同等の効果があると考えられる。この傾向の延長として、酸素分圧が 0 の場合に、ペロブスカイト相が安定に形成されていると考えることができる。

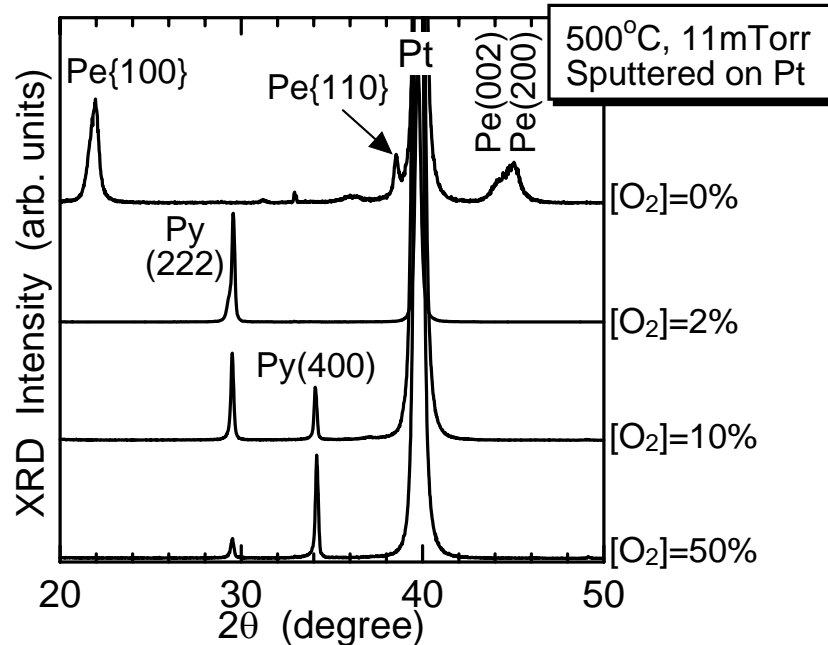


図 6.6 XRD スペクトルのスパッタガス中の酸素濃度依存性 (500 スパッタ).

#### 6.4.2 下部電極スパッタプロセスの制御

従来は、下部電極として Pt を用いてきた。しかし、疲労耐性を向上させるために、上部電極には Ir 系電極を採用している。LSI の生産性を考慮した場合、上下の電極は統一されていることが望ましい。ここでは、Ir 系下部電極として、Ir、酸素含有 Ir (Ir(O), 3.3.3 参照)、および  $\text{IrO}_2$  の各種電極について、PZT スパッタプロセスの低温化を目的とした検討を行った。なお、本項の実験では、PZT ターゲットの組成を、 $\text{Pb}_{1.02}\text{La}_{0.03}\text{Zr}_{0.35}\text{Ti}_{0.65}\text{O}_x$  とした。

図 6.7 に、Pt および Ir 系下部電極上に、Ar スパッタで成膜した PZT 膜中における組成の PZT 成膜温度依存性を示す。図 6.7(a) に示す Pb 組成は、B サイトに対する Pb の比率であり、化学量論組成では 1.0、ターゲット組成では 1.02 である。膜中 Pb 組成は下部電極材料には依存しないが、成膜温度が 450 を超えると低下する傾向を示す。図 6.7(b) には、B サイトにおける Ti の比率を示す。B サイト内における組成比は、下部電極材料、成膜温度を変化させても全く変化せず、極めて安定である。ターゲットの仕込み量は 0.65 であり、膜中組成もこれとほぼ同程度であることから、B サイト内の組成比は、ターゲットの仕込み組成で完全に制御できることを意味している。

Pb やその酸化物である PbO は蒸気圧が高いため、高温成膜では膜中における Pb が減少する。通常、高温成膜 (600 前後であることが多い) する際には、あらかじめターゲット中の Pb を過剰にし

ておくなどして、膜中の Pb 欠損を補償する。450 以上で Pb 含有量が減少するのは、このような蒸気圧の影響であると考えられる。しかし、膜中 Pb 組成の絶対量は、ターゲット組成である 1.02 を遙かに上回る値となっている。Pb 含有量が、ターゲット組成よりも高くなる原因は、4.3.1でも述べたように質量の影響であると考えられる。すなわち、Pb の質量が大きいため、Zr や Ti と比較すると散乱され難く、基板まで到達しやすいことを反映している。

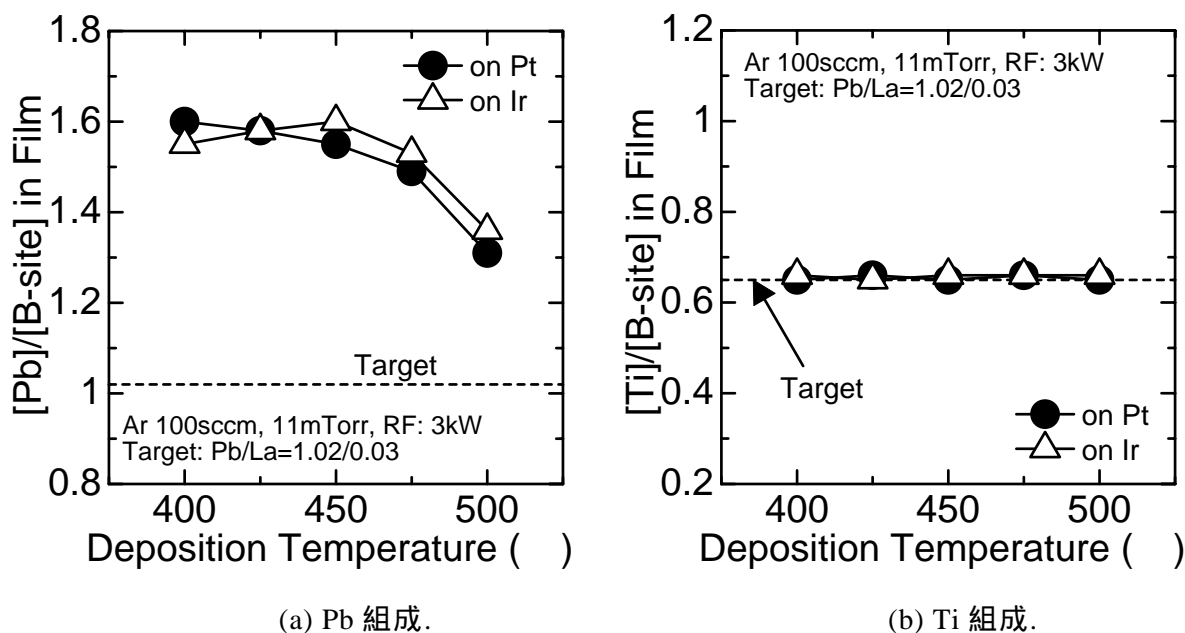


図 6.7 膜中組成の下部電極・PZT 成膜温度依存性 (Ar スパッタ).

次に、XRD 測定の結果について述べる。図 6.8に、ペロブスカイト相含有率の下部電極依存性を示す。いずれの下部電極材料の場合でも、成膜温度の上昇に伴ってペロブスカイト相含有率が増加している。475 °Cではいずれの場合も、ほぼペロブスカイト単相膜となっている。Ir(O)では、450 °Cでのペロブスカイト相含有率が高い値を示しており、Pt も含めたほかの材料より、低温でペロブスカイト相が安定に形成される可能性を示唆している。

6.4.1で述べたように、PZT 成膜雰囲気における酸素の存在は、パイロクロア相の形成を促進する。例えば、Ar ガスのみで成膜すればペロブスカイトが得られる条件でも、2%の酸素を導入するだけでパイロクロア単相膜となることを示した。図 3.14で示したように、IrO<sub>2</sub> 電極は 450 °Cでは分解し、成膜雰囲気に酸素を供給してしまう。このため、パイロクロア層の形成を促し、ペロブスカイト単相の成膜温度を上昇させると考えられる。Pt、Ir、Ir(O)では、成膜中に雰囲気に酸素を供給することがない。しかし、Ir(O)電極でのみペロブスカイト相が得られやすいという結果になっている。この要因を調べるために、断面 TEM 観察を行った。

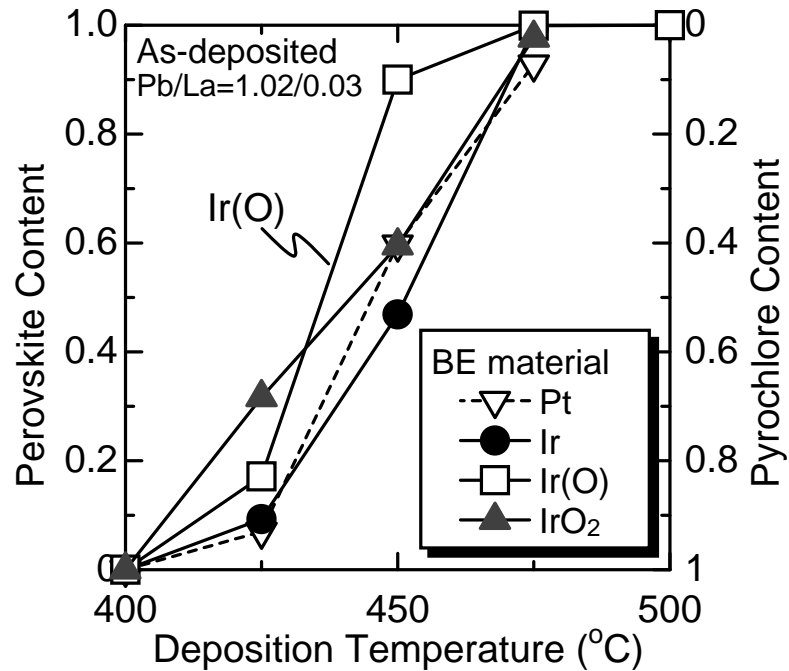
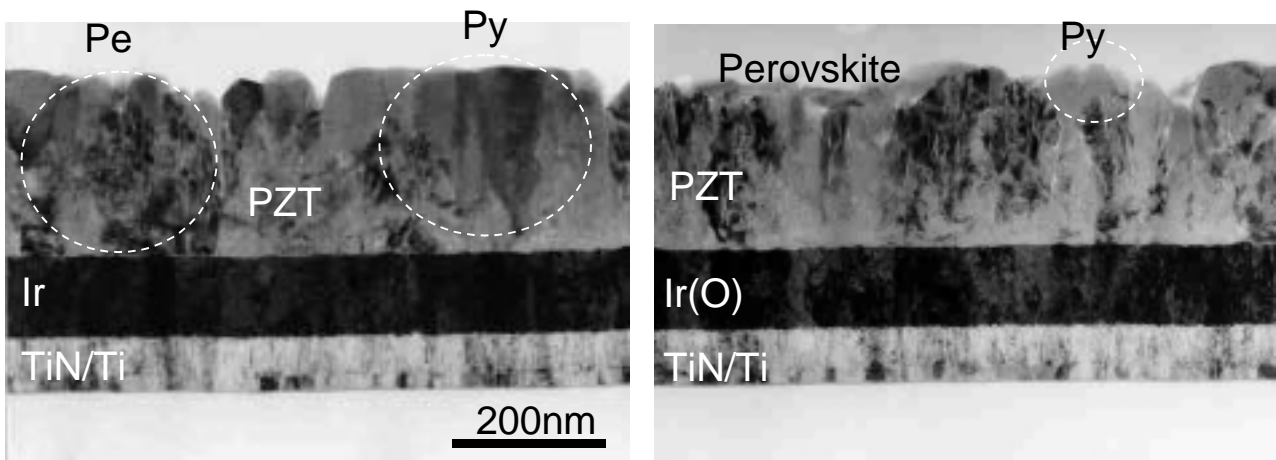


図 6.8 ペロブスカイト相含有率の下部電極材料依存性.



(a) Ir 下部電極上の PZT.

(b) Ir(O)下部電極上の PZT.

図 6.9 Ir および Ir(O)電極上に成膜した PZT 膜の断面 TEM 像.

図 6.9に、Ir および Ir(O)下部電極上に、450 でPZTをスパッタ成膜したサンプルの断面 TEM 像を示す。Ir 下部電極上では、下部電極界面からパイロクロア相とペロブスカイト相のグレインに分かれて成膜されており、成膜初期段階で結晶相が決定されている様子が見られた。なお、結晶相の同定は、制限視野電子線回折による格子定数の評価により行っている。一方の、Ir(O)下部電極上のサンプルでは、ほぼ完全にペロブスカイト相が得られているが、表面側で局所的にパイロクロア相のグレインが存在していることが分かった。

450 という成膜温度は、ペロブスカイト/パイロクロア相の境界領域となっており、極めて不安定な条件である。成膜初期段階では、Ir 下部電極より Ir(O)下部電極の方が、圧倒的にペロブスカイト相のエリアが大きくなっている。すなわち、Ir(O)では、初期の結晶核形成時に、ペロブスカイト相の核生成が安定に行われると考えられる。図 3.13で、示したように、Ir と Ir(O)では表面のラフネスに差異が見られる。図 6.9の TEM 像を見ても、Ir は柱状構造をしており、PZT/Ir 界面が比較的平滑である。これに対して、Ir(O)下部電極は、細かな粒状のグレイン構造を呈しており、PZT/Ir (O)界面では、周期の短い凹凸が観察される。このような、表面ラフネスやグレイン構造が、ペロブスカイト核の形成を促進する役割を果たしていると推察される。

以上、下部電極が PZT のスパッタ特性に及ぼす影響を調べた結果を図 6.10にまとめる。Ir は、表面が平滑な柱状グレイン構造をとり、ペロブスカイト相の核生成が生じ難い。IrO<sub>2</sub> は、PZT を成膜する程度の温度で分解し、スパッタ雰囲気中に酸素を放出する。酸素は、パイロクロア相を安定化させるため、ペロブスカイト相の膜が得られ難くなる。膜中から酸素の放出が生じず、短周期の表面ラフネスを有する Ir(O)では、ペロブスカイト相の核生成が促進され、安定したペロブスカイト相の成膜が進行する。

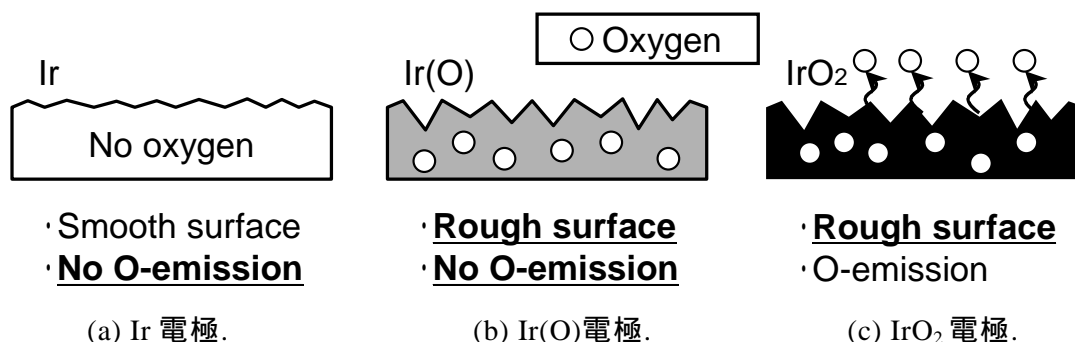


図 6.10 Ir 系下部電極材料の特徴と PZT 成膜に及ぼす影響。

### 6.4.3 ターゲットの A サイト組成制御

以上の結果、Ir(O)下部電極上に、Ar スパッタにより PZT を成膜することで、ペロブスカイト形成温度が低下することが分かった。ただし、図 6.7で示したように、膜中の Pb 含有量は、化学量論組成を大幅に上回っている。そこで、圧力と RF パワーの制御によって、膜中 Pb 含有量の制御を試みた。しかし、プロセス条件によって膜中 Pb 組成は、大幅に減じることはできなかった。そこで、ターゲット中の Pb 組成を変化させて PZT の成膜を行い、その膜物性の評価を行った。ターゲット中の Pb 量が減少すると、ターゲット密度が低下し、焼結し難くなるため、添加剤として La を 3%添加している。

図 6.11に、450 で成膜した as-deposited 膜のペロブスカイト相含有率を、ターゲット中の Pb 組成に対してプロットしたグラフを示す。Pb 組成が大きい場合には、ペロブスカイト相含有率が低くな

っており、ターゲット中の Pb 組成が 0.9 以下ではペロブスカイト相含有率が一定になる傾向を示した。このことから、供給される Pb 量が大きくなると、ペロブスカイト相が形成され難く、パイロクロア相が得られやすくなるということが分かった。

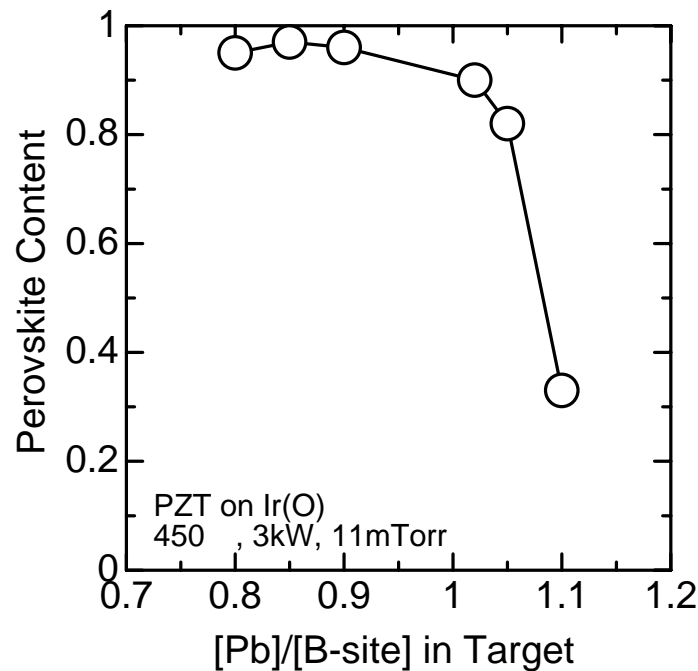


図 6.11 膜中ペロブスカイト相含有率の Pb 量依存性 (450 スパッタ).

図 6.12(a)に、475 でスパッタしたサンプルの膜中 Pb 組成と、ターゲット中 Pb 組成の関係を示す。膜中の Pb 組成は、ターゲット組成にほぼ比例していることから、ターゲット組成を変化させることで、膜中組成を完全に制御できることが分かる。膜中 Pb 組成は、化学量論組成に合わせるのが望ましいとは限らず、一般に 15%前後 Pb 過剰である方が容量としての特性は向上する。[16-18] 最適な Pb 過剰量は、PZT の成膜条件等によって変化する。そこで、後で容量特性の評価を行い、最適組成の決定を行うことにする。

図 6.12(b)に、Auger 分析により得られた、膜中 Pb 組成の深さ方向分布を示す。このサンプルは、Pb/La=0.90/0.03 の組成のターゲットを用い、475 で Ir(O)電極上にスパッタ成膜した PZT 膜である。Ti は、膜中に均一に分布しているが、Pb は下部電極界面側から表面側に向かって単調に増加している。

Pb 組成が深さ方向に分布を持つ要因は明らかではないが、成膜が進行するに従って連続的に変化するパラメータの存在が示唆される。例えば、PZT 膜厚が変化していくと、基板表面に形成されるキャパシタンスが変化するため、成膜表面のプラズマに対する電位が変化する可能性が挙げられる。あるいは、基板の加熱特性や放熱特性の変動によって、ウエハ表面温度が変化しているという



ことも考えられる。いずれにしても、今後、さらなるプロセスコンディションの詳細な検討を行い、組成を安定化させる工夫を行う必要がある。

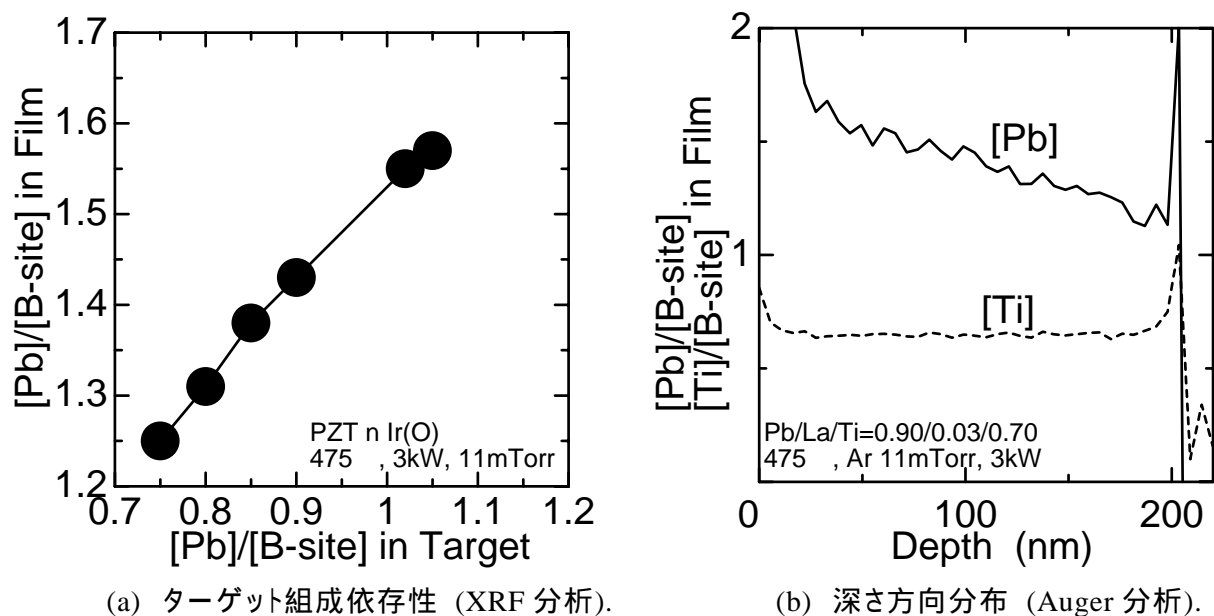


図 6.12 PZT 膜中の Pb 含有量 (475 スパッタ).

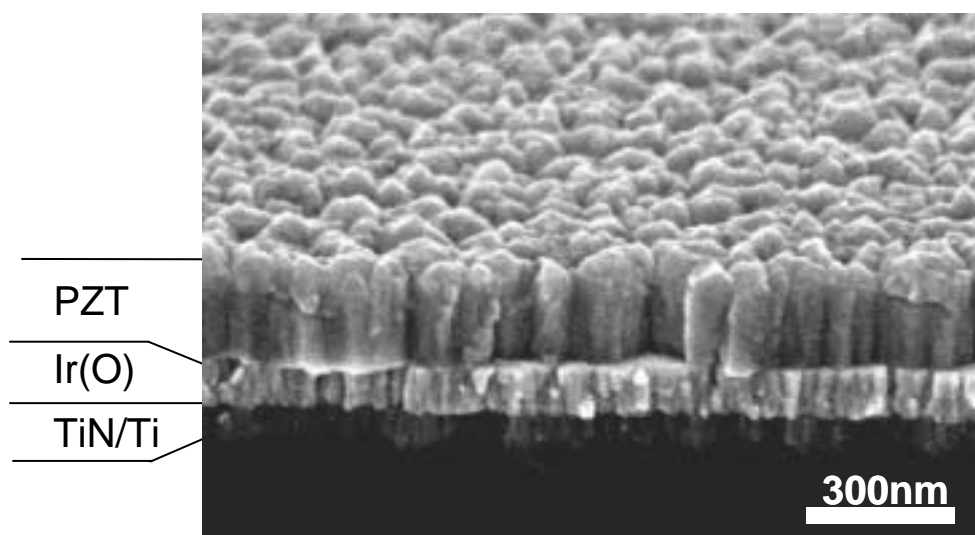


図 6.13 Ir(O)電極上 PZT 膜の鳥瞰 SEM 像.

続いて、容量特性の評価を行った。下部電極を Ir(O)とし、475℃、Ar 11mTorr、RF 3kW で 3 分間スパッタを行い、200nm の PZT 膜を形成した。図 6.13に、PZT 膜の鳥瞰 SEM 像を示す。スパッタ膜特有の柱状構造が見られ、直径 70～90nm 程度の均一なグレイン構造をとっている。容量を形成する際、上部電極は、パワースイング法による Ir(O)/IrO<sub>2</sub> とした。容量形成プロセスは、原則として図 2.6に示したプロセスに従っており、100μm 容量を形成し、容量の特性を評価した。従来の測定では、上部電極を GNDとし、下部電極を駆動することで容量特性を評価していた。これは、従来構造のセルでは、下部電極がプレート線を兼ねており、実デバイスでも下部電極が駆動されるからである。しかし、CMVP セルでは、上部電極を並列に接続するプレート配線が形成され、動作時には上部電極が駆動される。したがって、以下の測定では、下部電極を GND とし、上部電極に電圧を印加している。

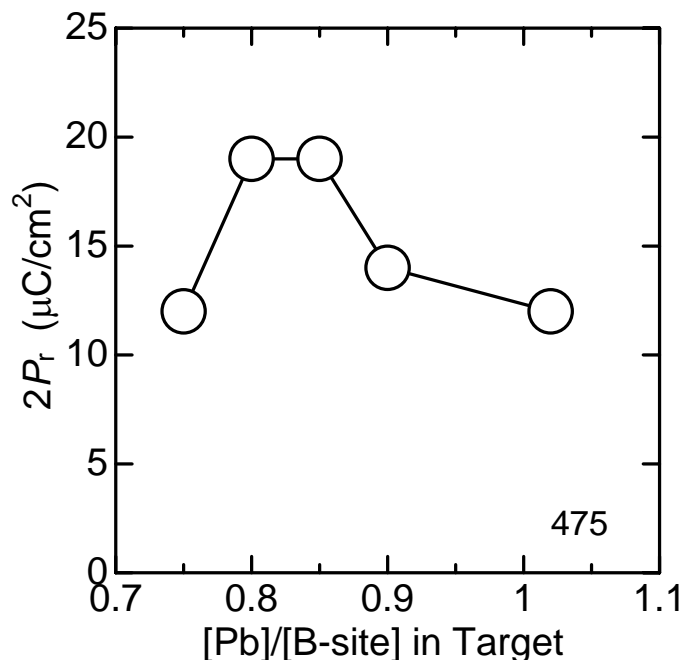


図 6.14 ヒステリシス特性より得られた  $2P_r$  の Pb 組成依存性.

図 6.14に、パルス応答測定より得られた残留分極  $2P_r$  のターゲット中 Pb 組成依存性を示す。Pb 組成によって特性が敏感に変化しており、 $2P_r$  は Pb 組成が 0.80～0.85 で極大値を示す。Pb が多い領域では、過剰な Pb が特性の悪化を引き起こしていると考えられ、Pb が少ない領域での特性劣化は、図 6.12(b)で示したような Pb 組成分布の影響で、下部電極界面で Pb 欠損が生じている可能性がある。

図 6.15に、Pb 組成 0.85 のターゲットを用いてスパッタ成膜した PZT 容量の初期特性を示す。(a)は、3V および 5V 振幅で測定した  $P$ - $V$  ヒステリシスループである。ヒステリシスループは、全体的に正電圧側にシフトしており、非対称性が見られる。ヒステリシス形状における矩形性は、600℃で熱処

理を施して成膜した図 5.14に示す特性ほどよくない。抗電圧は、 $2V_c = 2.6V$  程度と、少し高めになっている。(b)に示すリーク電流特性は、 $10^{-5} A/cm^2$  であり、FeRAM デバイス動作上の問題は全くない。耐圧は 10V 以上確保されており、ショート不良のような問題は発生しない。

ヒステリシスループに図 6.15(a)のようなシフトが表れるのは、上部電極から下部電極の方向へ向かう電界が生じるような固定電荷が存在しているためである。固定電荷の正体はつかめていないが、図 6.12(b)で示したような組成分布が一因として考えられる。PZT の反応性スパッタの解析において、酸素の供給源はターゲットであり、Pb の酸化物の存在が重要であるという報告がある。[10,11] 仮に、Pb と酸素が PbO の形でターゲットから供給されるとすれば、界面付近で Pb が少ない場合には、酸素も供給不足になる可能性がある。PZT における酸素欠陥は、正の固定電荷となる。したがって、下部電極界面付近に正の固定電荷が多く、上部電極に向かって減少していくというモデルを考えることができる。今後、ヒステリシスの非対称性の要因を究明し、それを解消するようなプロセスの構築を行う必要がある。

図 6.16には、同じサンプルの疲労特性を示している。疲労パルスの印加は、5V で  $2 \times 10^{11}$  回まで行ったが、全く疲労劣化が観測されなかった。この疲労耐性は、本研究中で最高の特性を示している。疲労に関しては、上部電極として Pt に変わって Ir 系電極を導入することで図 5.1で示したような特性改善が見られた。ここでは、上部電極に加え、下部電極にも Ir 系電極を用いたことで大幅に改善した。したがって、上下電極双方の界面で、疲労特性が独立に律速されていることは間違いない。疲労のメカニズムや、酸化物電極による改善効果の要因も明確にはなっておらず、諸説が唱えられている。[19-22] 真の疲労メカニズムの解明はこれからの研究に期待したい。

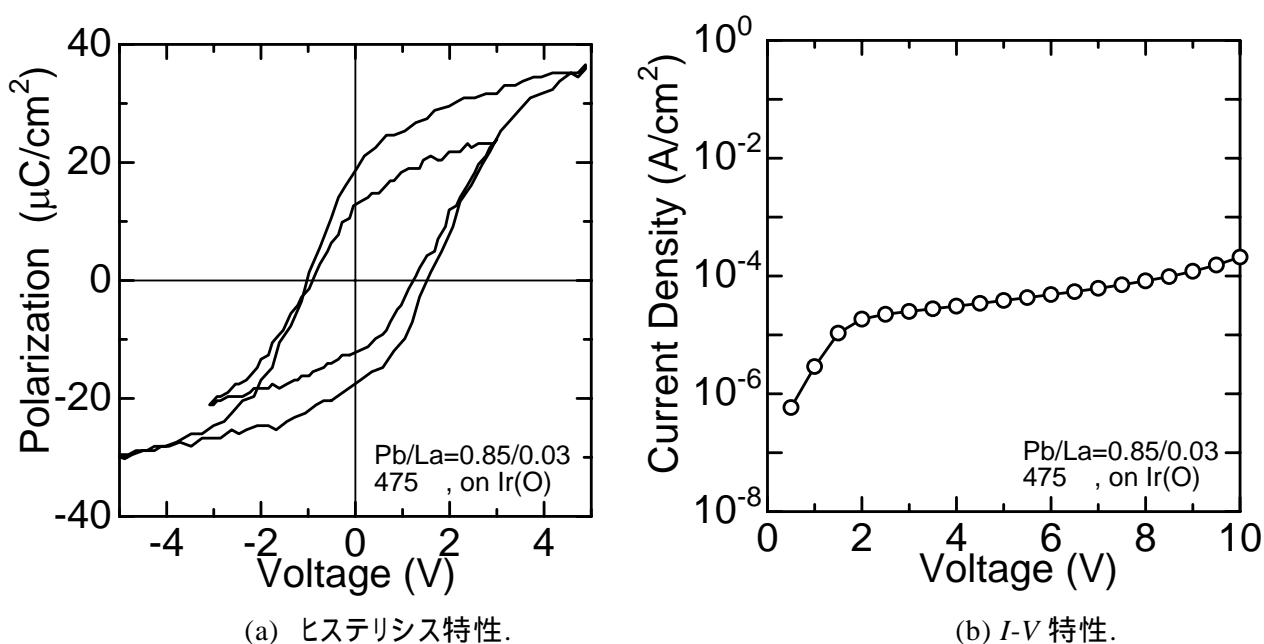


図 6.15 475 スパッタ PZT 容量 (Ir(O)/IrO<sub>2</sub>/PZT/Ir(O)) の初期特性。

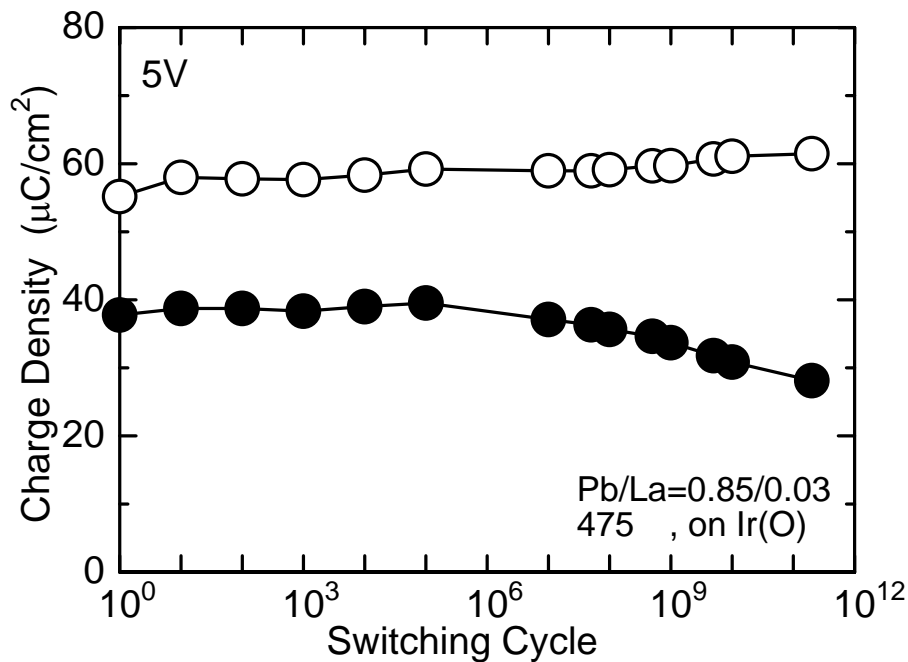


図 6.16 475 スパッタ PZT 容量 (Ir(O)/IrO<sub>2</sub>/PZT/Ir(O)) の疲労特性

## 6.5 0.35 $\mu\text{m}$ ルール多層配線上への強誘電体容量の試作

### 6.5.1 試作プロセス

図 6.17に、CMVP セルにおけるプロセスフローを示し、表 6-3に各工程の詳細をまとめる。ここでは、容量特性と、容量工程の熱負荷による配線特性の変化を評価するため、二層分の配線と、その上部に容量を形成した。汎用の CMOS プロセスに準じて、第一層配線 (M1)、第一ビア (V1)、第二層配線 (M2) からなる二層分の配線を形成する。続いて、容量接続ビア (V2) をブランケット W-CVD とエッチバックによって形成する。次に、CMP によってバリアメタルを除去すると同時に、ビア部の平坦化を行う。平坦化を行ったウエハ表面に、バリア/密着金属層として TiN/Ti をスパッタ成膜し、容量積層膜をスパッタ成膜する。

次に、フォトリソマスクを用いた上部電極のエッチングを行い、上部電極パターンを形成する。その後、フォトリソマスクを用いて、PZT からバリアメタルまでの一括加工を行い、容量パターンを形成する。続いて、容量と下層の CMOS 層を接続するメタルパッドとして用いる部分の下部電極上の PZT をウエットエッチにより取り去る。この段階で、ここまでのプロセスダメージを除去するための酸素アニールを行う。

次に、容量カバー絶縁膜として、非還元・非プラズマプロセスである  $O_3$ -TEOS 熱 CVD 法による酸化膜を形成し、コンタクト部を RIE によって開口する。最後に、TiN/Al/TiN からなる配線材のスパッタと RIE によるパターニングによって、容量と下層 CMOS 層を接続する。この配線層は、プレート線として機能する。

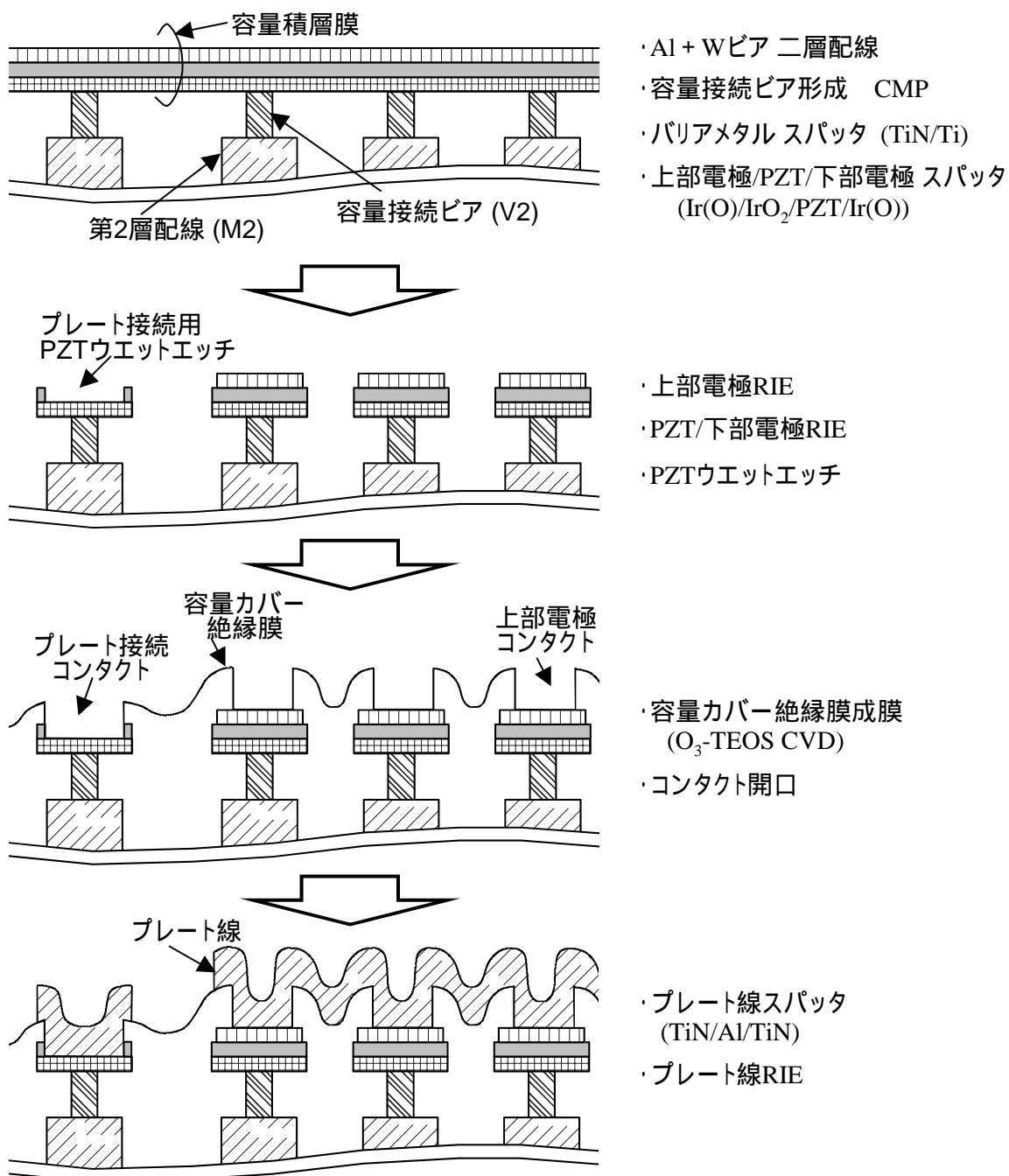


図 6.17 CMVP セルの容量工程.

表 6-3 容量試作工程.

#	プロセス	詳細
1	二層配線 (M2/V1/M1)	Al 配線/W ビア/Al 配線 (CMOS 汎用プロセス)
2	容量接続ビア (V2)	ブランケット W (CVD) エッチバック
3	CMP	バリアメタル除去とビア上部平坦化
4	バリアメタルスパッタ	TiN/Ti (50/20nm) スパッタ
5	PZT/下部電極スパッタ	・下部電極: Ir(O) 100nm ・PZT: 475 , Ar 11mTorr, 3kW, 3min., 200nm
6	酸素アニール	450 , O <sub>2</sub> , 10min.
7	上部電極スパッタ	Ir(O)/IrO <sub>2</sub> (50/50nm) (パワースイングスパッタ)
8	上部電極 RIE	Ir(O)/IrO <sub>2</sub> RIE (Cl <sub>2</sub> +Ar) プラズマ剥離
9	下部電極 RIE	PZT/Ir(O)/TiN/Ti 一括 RIE プラズマ剥離
10	PZT ウエットエッチ	HF+HNO <sub>3</sub> +H <sub>2</sub> O 有機剥離
11	2nd 酸素アニール	450 , O <sub>2</sub> , 10min.
12	容量カバー膜	O <sub>3</sub> -TEOS (540nm)
13	容量コンタクトエッチ	CF <sub>4</sub> プラズマ剥離
14	回復アニール	400 , N <sub>2</sub> , 10min.
15	プレート線スパッタ	TiN(30nm)/Al(300nm)/TiN(200nm)
16	プレート線 RIE	Cl <sub>2</sub> +HBr プラズマ剥離 リンス

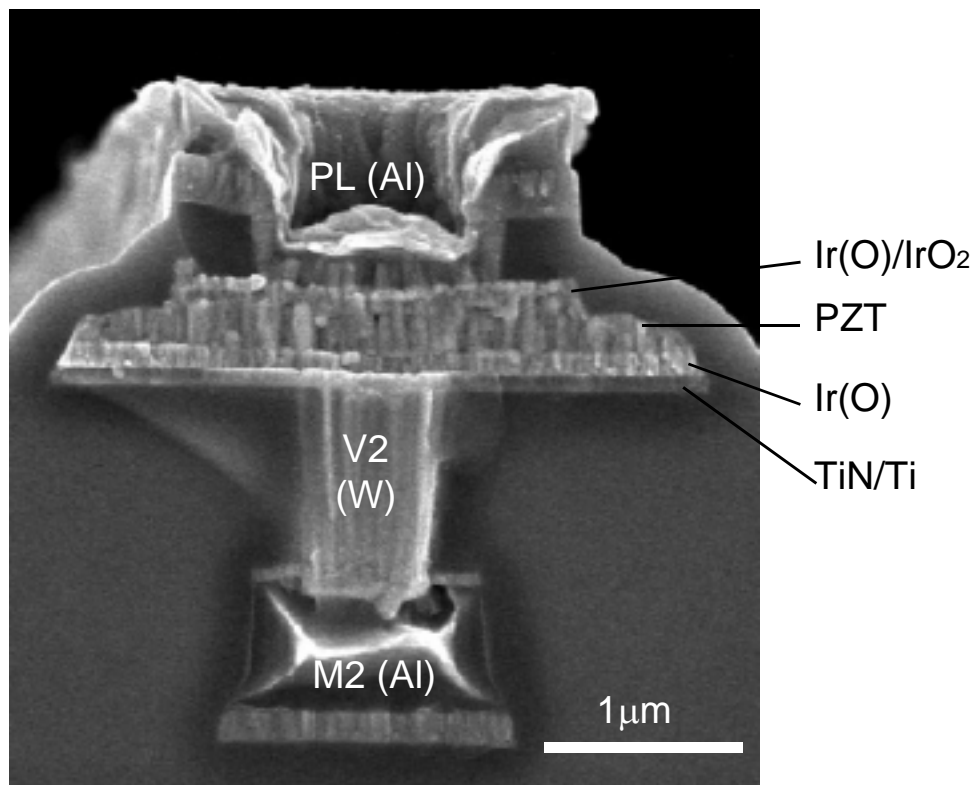


図 6.18 W ビア/Al 配線上の PZT 容量.

図 6.18に、多層配線上へ形成した  $2 \times 2 \mu\text{m}^2$  サイズの PZT 容量の断面 SEM 像を示す。外観上の異常等は観察されない。微細容量を並列パターンで測定する際には、ドット状に形成された容量を、プレート線で上部電極を並列に接続し、下部電極は W ピアを経由した CMOS 最上層配線層 (M2) によって並列に接続される。

プレート線形成後には、容量のコンタクト抵抗と下層のビア抵抗の測定も行った。容量の下部電極のコンタクトについては、図 6.19(a)に示す通常の下部電極コンタクトチェーンに加え、図 6.19(b)に示す下部電極/ビア複合チェーンも用いた。このチェーンは、下部電極コンタクトと W ピアを介して、プレート線と下層 Al 配線が接続されている。すなわち、下部電極コンタクトと W ピアの直列抵抗を評価することができる。この部分で最も懸念されるのは、下部電極と W ピアの界面であり、PZT 容量形成工程で、W 表面が酸化して導通不良が発生する可能性がある。

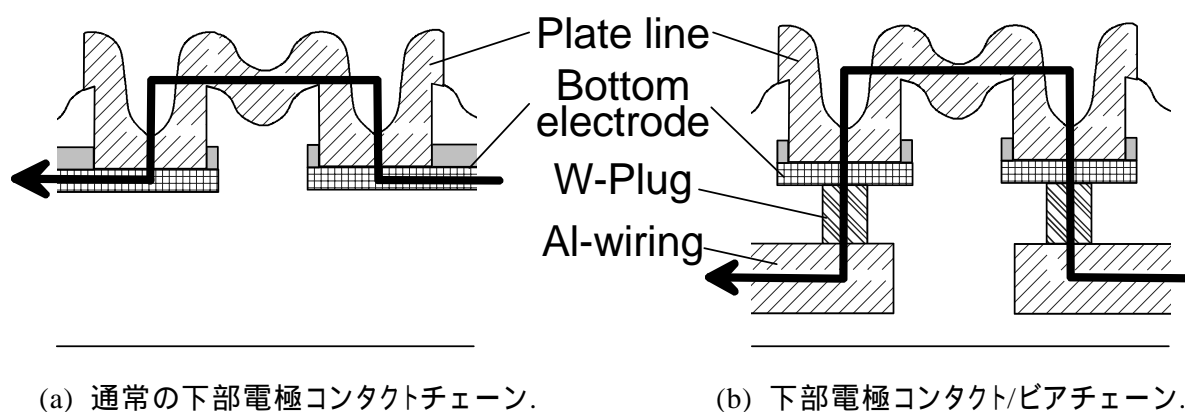


図 6.19 測定したコンタクトチェーンと電流経路。

### 6.5.2 コンタクトおよび配線の特性

今回の、スパッタ PZT 容量工程では、475 プロセスを経ていることから、ビア/配線間や下部電極/ビア間の信頼性が確保できるかどうかとも重要な検討項目である。表 6-4に、測定したコンタクト抵抗等の測定結果をまとめる。測定チップ数は、52 チップである。

本設計ルールでは、ロジックトランジスタのコンタクト抵抗が  $10\Omega$  前後になるように定められている。本実験で試作した容量のコンタクトは、上部電極コンタクトが  $2.5\Omega$ 、下部電極コンタクトが  $1.4\Omega$  であり、トランジスタのコンタクト抵抗規準よりも小さく抑えられている。また、面内均一性の良好なコンタクトが得られている。下部電極/ビア複合抵抗（図 6.19(b)）については、後で詳細に述べる。下層配線のビア抵抗（V1）は、 $1.2 \pm 0.2\Omega$  であり、本ルールで定められた基準値の  $1.5 \pm 0.5\Omega$  以下であるため、動作上の問題はない。しかし、後で述べるが、容量工程を経ることでビア抵抗が若干上昇することが分かっている。表中には、強誘電体容量工程の有無による配線抵抗の違いも示している。配線抵抗は、強誘電体容量工程を経ても全く変化しなかった。

表 6-4 コンタクトおよびビア抵抗測定.

測定パターン	サイズ ( $\mu\text{m}$ )	チェーン数	測定結果	備考
上部電極コンタクト	0.84	1000	$2.5 \pm 0.5 \Omega$	拡散層コンタクト ~ $10\Omega$
下部電極コンタクト	1.02	1000	$1.4 \pm 0.1 \Omega$	
下部電極/ビア (V2)	1.02/0.6	1000	$2.4 \pm 0.4 \Omega$	
ビア抵抗 (V1)	0.60	20000	$1.2 \pm 0.2 \Omega$	基準値: $1.5 \pm 0.5\Omega$
M1シート抵抗	$L/S=0.72/0.60$	長さ: $3437\mu\text{m}$ 厚さ: $620\text{nm}$	$0.063 \pm 0.003 \Omega$	w/o cap.-process $0.064 \pm 0.007 \Omega$

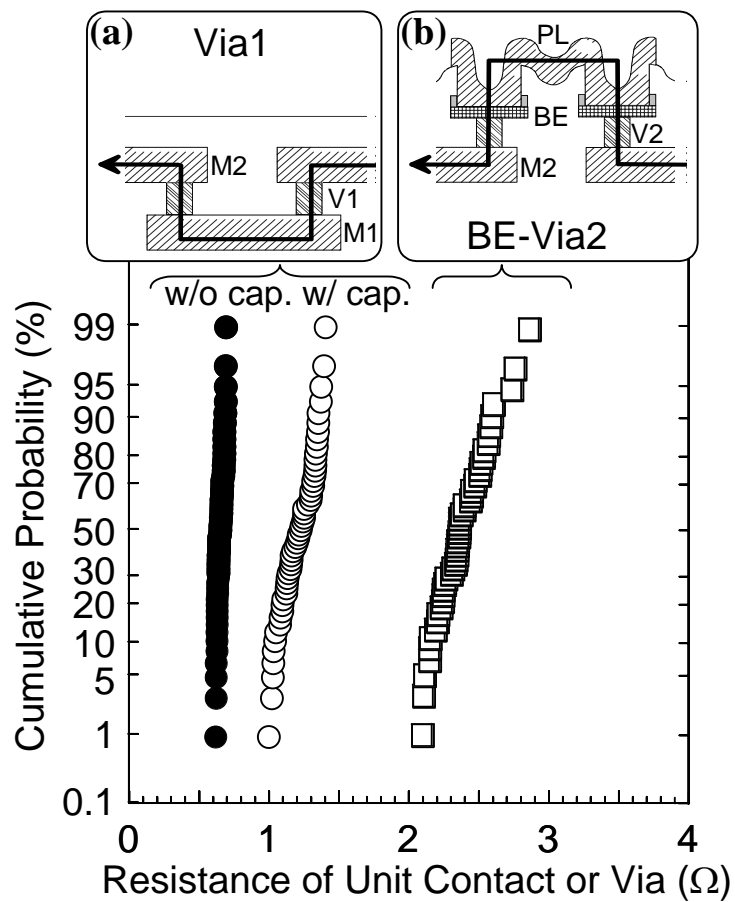


図 6.20 ビア抵抗および下部電極コンタクト/ビア複合抵抗の累積度数分布.



次に、ビア抵抗を詳細に見てみる。図 6.20に、ビア抵抗、および下部電極コンタクト/ビア複合抵抗の累積度数分布を示す。(a)のビア抵抗は、容量工程を行わなかったサンプルの測定も行い、通常の容量工程後の特性と比較した。容量工程を行わないものでは、 $0.64 \pm 0.03 \Omega/\text{via}$  であるのに対して、容量工程後には  $1.2 \pm 0.2 \Omega/\text{via}$  まで上昇している。また、図を見て明らかなように、ウエハ面内分布も大きくなっている。このような、抵抗上昇は、Al 配線とビアの界面に挿入されている Ti が反応して Al-Ti 合金を形成することが要因である。このことは、容量形成時に加わる熱負荷によって配線が変質していることを意味している。上述したように、容量形成後のビア抵抗は、本設計ルールにおける設計規準値をクリアしているが、このような配線の変質は、エレクトロマイグレーションやストレスマイグレーションに対する耐性を劣化させることが懸念される。したがって、配線の長期信頼性の評価を行うとともに、さらなる容量工程の低温化を検討していく必要がある。

図 6.20(b)は、下部電極/ビア複合抵抗の分布を測定した結果である。抵抗値自身は、 $2.4 \Omega \pm 0.4 \Omega$  であり、トランジスタのコンタクト抵抗 ( $\sim 10 \Omega$ ) と比較しても小さいため、回路動作上の不具合を生じることはない。また、下部電極コンタクト抵抗は  $1.4 \Omega$ 、ビア抵抗は  $1.2 \Omega$  であった。それぞれのチェーンの構成上、複合抵抗は、コンタクト抵抗とビア抵抗の単純な和で表すことはできないが、 $2.4 \Omega$  という下部電極コンタクト/ビア複合抵抗は、概ね妥当な値であると考えることができる。

### 6.5.3 プラグ上に形成された微細容量の特性

図 6.21に、測定を行った微細容量の並列容量パターンの断面模式図を示す。上部電極サイズが  $2 \times 2 \mu\text{m}^2$  の微細容量が個別に形成されており、上部電極は上層の Al 配線（プレート線）により、下部電極は W ビアを介した下層の Al 配線により並列接続されている。下部電極を接続している Al 配線の終端は、W ビアと下部電極を介して上層の Al 配線に接続される。

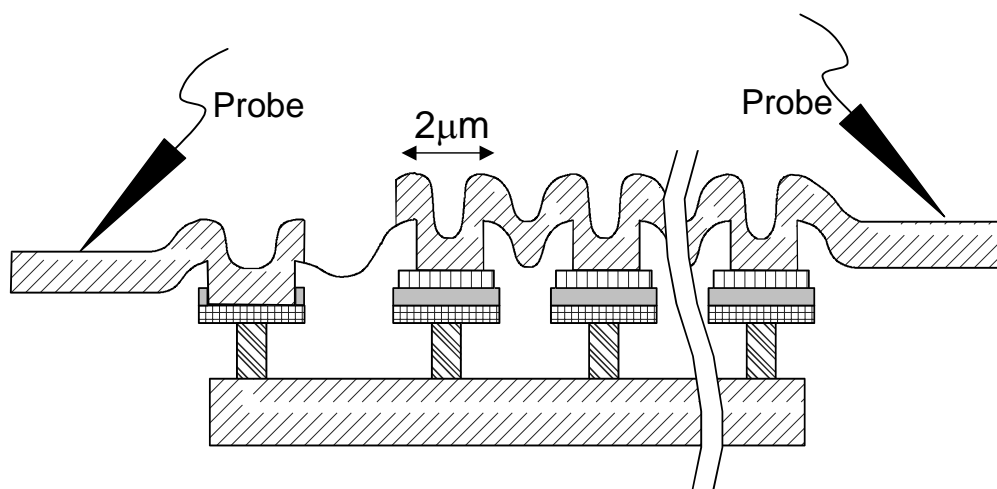


図 6.21 測定した並列容量パターン。

図 6.22に、微細容量のヒステリシス特性を示す。並列微細容量においても、図示したようなヒステリシス特性が得られている。ヒステリシス特性から得られた残留分極  $2P_r$  は  $24\mu\text{C}/\text{cm}^2$ 、抗電圧  $2V_c$  は  $2.4\text{V}$  であった。以上のように、低熱負荷プロセスによるスパッタ PZT 容量は、FeRAM 容量として適用可能であることが示された。

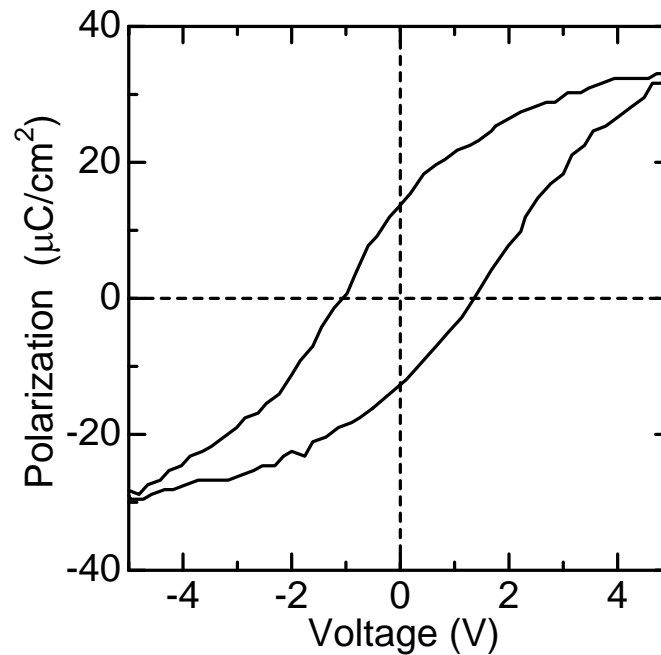


図 6.22 プラグ上に形成した微細容量のヒステリシス特性.

## 6.6 本章のまとめ

本章では、将来の FeRAM セル構造として期待されている、多層配線上の容量形成を目的とし、プラグ上への容量形成プロセスの検討を行った。具体的には、スパッタ法を活用した PZT 容量形成プロセスの低温化を検討した。

まず、第 4 章で述べた、スパッタ + 相転移アニールによる PZT 形成手法において、PZT の組成が、相転移温度に及ぼす影響を調査した。B サイトの Ti 組成を増大させることで、若干転移温度が低下した。また、相転移アニール雰囲気の影響を調べた結果、アニール雰囲気の酸素分圧が低いほど、相転移温度が低下することが分かり、酸素分圧 0 の雰囲気では、 $490^\circ\text{C}$  でペロブスカイト単相膜が得られた。

ただし、以上の手法では、30 分間程度の熱処理を施す必要があり、下層配線へのダメージが懸念される。したがって、高温に曝される時間を短縮化し、さらに低温化を促進することを目的として、スパッタプロセスの改善を行った。相転移アニールで得られた知見をもとに、スパッタ雰囲気から酸素

## 第6章 PZT 成膜の低温化と多層配線上の容量形成

を排除し、Ar のみでスパッタを行った。その結果、Pt 下部電極上に、500 でスパッタを行うことで、ペロブスカイト相単相膜が得られた。

続いて、電極材料の検討を行った結果、酸素ドーパント Ir を採用することで、450 という低温でも、90% 以上のペロブスカイト相含有率を示し、475 スパッタでペロブスカイト相単相膜が得られた。このときのスパッタ時間は3分間であり、相転移熱処理に要していた時間の1割程度に抑えられる。さらに、ターゲット組成により、膜中の Pb 含有量の制御を行うことで、良好なヒステリシス特性と絶縁性を得ることに成功した。

以上で確立した PZT 容量形成プロセスでは、475 、3 分間のスパッタ処理が行われることになる。そこで、その熱負荷が、下層に存在する配線に及ぼす影響を調べた。実際に、0.35 $\mu$ m ルールで、W ビアを有する Al 配線を形成し、その上部に PZT 容量を形成した。ビア抵抗は、容量形成プロセスによって上昇することが確認されているが、本ルールで定められた規準値内に収まっていることから、動作不良を引き起こすことはない。プラグ上に形成した微細容量は、良好なヒステリシス特性を示し、次世代 FeRAM 容量として適用可能であることが示された。

## 参考文献

- [1] E. Fujii, Y. Judai, T. Ito, T. Kutsunai, Y. Nagano, A. Noma, T. Nasu, Y. Izutsu, T. Mikawa, H. Yasuoka, M. Azuma, Y. Shimada, Y. Sasai, K. Sato, and T. Otsuki, *IEEE Trans. on Electron Devices*, **48**, 1231 (2001).
- [2] T. Hase, T. Noguchi, Y. Miyasaka, *Integrated Ferroelectrics*, **16**, 29 (1997).
- [3] K. Amanuma, T. Tatsumi, Y. Maejima, S. Takahashi, H. Hada, H. Okizaki, and T. Kunio, *IEDM'98 Tech. Dig.* 363 (1998).
- [4] K. Amanuma, S. Kobayashi, T. Tatsumi, Y. Maejima, H. Hada, J. Yamada, T. Miwa, H. Koike, H. Toyoshima, and T. Kunio, *Ext. Abst. of 1999 SSDM*, 384 (2000).
- [5] S. Kobayashi, K. Amanuma, H. Mori, N. Kasai, Y. Maejima, A. Seike, N. Tanabe, T. Tatsumi, J. Yamada, T. Miwa, H. Koike, H. Hada, and H. Toyoshima, *IEDM 2000 Tech. Dig.* 783 (2000).
- [6] Z. Huang, Q. Zhang, and R. W. Whatmore, *J. Appl. Phys.*, **85**, 7355 (1999).
- [7] H. Suzuki, S. Kaneko, K. Murakami, and T. Hayashi, *Jpn. J. Appl. Phys.*, **36**, 5803 (1997).
- [8] Y. Zhu, J. Zhu, Y. J. Song, and S. B. Desu, *Appl. Phys. Lett.*, **73**, 1958 (1998).
- [9] Y. Kanno, S. Hayashi, T. Kamada, M. Kitagawa, and T. Hirao, *Jpn. J. Appl. Phys.*, **32**, 4057 (1993).
- [10] W. Zhang, K. Sasaki, and T. Hata, *Jpn. J. Appl. Phys.*, **34**, 5120 (1995).
- [11] W. Zhang, K. Sasaki, and T. Hata, *Jpn. J. Appl. Phys.*, **35**, 5084 (1996).
- [12] S. O. Chung, J. W. Kim, J. H. Kim, C. O. Park, and W. J. Lee, *Jpn. J. Appl. Phys.*, **36**, 4386 (1997).
- [13] J. A. Voigt, B. A. Tuttle, T. J. Headley, and D. L. Lamppa, *Mat. Res. Soc. Symp. Proc.*, **361**, 395 (1995).
- [14] K. Hirata, N. Hosokawa, T. Hase, T. Sakuma, and Y. Miyasaka, *Jpn. J. Appl. Phys.*, **31**, 3021 (1992).
- [15] K. Abe, H. Tomita, H. Toyoda, M. Imai, and Y. Yokote, *Jpn. J. Appl. Phys.*, **30**, 2152 (1991).
- [16] S. Aggarwal, S. Madhukar, B. Nagaraj, I. G. Jenkins, R. Ramesh, L. Boyer, and J. T. Evans, Jr., *Appl. Phys. Lett.*, **75**, 716 (1999).
- [17] H. H. Park, I. S. Jin, D. H. Kim, and T. S. Kim, *Thin Solid Films*, **332**, 300 (1998).
- [18] S. Ozawa, S. Mihara, H. Noshiro, Y. Horii, M. Shibata, T. Takamatsu, M. Nakamura, Y. Nishioka, T. Masuda, Y. Miyaguchi, N. Tani, K. Suu, and T. Yamazaki, *Ext. Abst. of 2000 SSDM*, 266 (2000).
- [19] W. L. Warren, D. Dimos, B. A. Tuttle, R. D. Nasby, and G. E. Pike, *Appl. Phys. Lett.*, **65**, 1018 (1994).

## 第6章 PZT 成膜の低温化と多層配線上の容量形成

- [20] I. K. Yoo and S. B. Desu, *Mat. Res. Soc. Symp. Proc.*, **243**, 323 (1992).
- [21] K. W. Plesser, *Proc. Phys. Soc. London Sect.*, **B69**, 1261 (1956).
- [22] K. Carl and K. H. Haerdtl, *Ferroelectrics*, **17**, 473 (1978).

## 第7章

### 結論と今後の課題

#### 7.1 本論文のまとめ

本研究は、FeRAM の信頼性を向上させるため、強誘電体容量の材料およびプロセスからのアプローチを行った。以下に、本研究の結果をまとめ、結論とする。

第1章では本研究の背景について述べ、第2章では本研究で用いたスパッタ装置の構成や特長、および強誘電体容量の評価法について述べた。ここで紹介した装置と評価法を用いて、PZT 材料とプロセスの検討を行った。

第3章では、高信頼性 FeRAM 容量の電極として用いるために、Ir/IrO<sub>2</sub> 積層上部電極膜形成プロセスの検討を行った。具体的には、IrO<sub>x</sub> のスパッタ堆積機構の解明を行い、高効率（スループット）かつ低ダメージな上部電極プロセスを実現した。Ar/O<sub>2</sub> ガスで Ir ターゲットをスパッタする場合、ターゲット表面で Ir と酸素との化合反応は全く生じず、ターゲットの表面状態は安定した金属状態であることが分かった。したがって、ターゲットからは、スパッタガス条件に依存せず Ir のみが供給され、その Ir フラックスは、DC パワーのみで決定される。Ar/O<sub>2</sub> ガスを導入して高パワーでスパッタ成膜した金属相（Ir(O)）は、膜中に酸素が含有されている。しかし、600 °C 以下では、その酸素は安定に膜中に存在している。一方、酸化物相である IrO<sub>2</sub> は、300 °C 以上の熱処理で還元・分解する傾向にある。Ir(O)や IrO<sub>2</sub> は、表面のラフネスが Ir (Ar ガスのみでスパッタした場合) の2倍程度で、±2nm 程度であった。Ar/O<sub>2</sub> 導入量を固定し、初期に低パワーで酸化物相である IrO<sub>2</sub> を成膜し、続けて高パワーで酸素含有金属相である Ir(O)を成膜することで、上部電極積層膜（Ir(O)/IrO<sub>2</sub>）を形成することに成功した。また、高温・低酸素分圧下で、上部電極を成膜すると、PZT 表面に還元性ダメージが導入され、分極特性が劣化することが明らかとなった。以上の結果、低温かつ高酸素分圧の Ar/O<sub>2</sub> 雰囲気中で、スパッタ中に低パワーから高パワーに切り替えることで、高スループットかつ低ダメージの Ir(O)/IrO<sub>2</sub> 上部電極積層膜が得られることを示した。

第4章では、高温プロセスによるスパッタ PZT 成膜と、FeRAM の初期動作安定性を向上させるための物性制御を行った。550 °C 以上の基板温度でスパッタを行うと、蒸気圧の高い Pb が成膜中の基板表面から再蒸発し、化学量論組成が崩れるために、強誘電性を有するペロブスカイト相に結晶化しない。しかし、500 °C 以下では、結晶化に十分なエネルギーが供給されないため、ペロブスカイト相は得られず、常誘電性のパイロクロア相、もしくは非晶質相となる。そこで、スパッタ時の基板温度を Pb が欠損しない500 °C 以下とし、常圧の酸素アニールによってペロブスカイト相に転移させるプロセス

の検討を行った。As-deposited で得られるパイロクロア相から、ペロブスカイト相へ転移する場合、酸素八面体が保存された状態で転移することが分かった。スパッタ時の基板温度を 450～500 とすると、as-deposited 膜は(222)配向度が高いパイロクロア相となり、アニールによって、分極軸方向である {100} 配向を示すペロブスカイト相に転移する。この場合の膜表面は平坦で、リーク電流レベルは  $10^{-6} \text{A/cm}^2$ 、 $2P_r=25 \mu\text{C/cm}^2$  と、容量の特性は大幅に向上した。

FeRAM の初期特性を安定化させるためには、ビット線容量、強誘電体容量の面積、駆動電圧などの回路パラメータに見合った特性を有する強誘電体容量を選定する必要がある。2T2C-FeRAM セルでは、不揮発で保持しているデータを、読み出す際に検出されるビット線電圧のマージン  $\Delta V_B$  が広くなるほど安定である。このためには、ヒステリシスにおける、抗電圧  $V_c$  が小さく、反転/非反転の誘電率比 ( $\epsilon_S/\epsilon_N$ ) が大きくなればよいことが分かった。PZT の場合には、B サイトの組成比を変化させることで、強誘電特性が変化し、B サイトにおける Ti の比率を増加させると、 $V_c$ 、 $\epsilon_S/\epsilon_N$  とともに単調増加することが分かった。そこで、目的とする FeRAM の回路パラメータも含めて、組成の最適化を行った。その結果、Zr/Ti=30/70 とすることで、2.5～5V の広い範囲で  $\Delta V_B$  が最大となることが分かった。

第 5 章では、強誘電体容量の特徴の一つであるインプリント特性が、FeRAM の動作に及ぼす影響をモデル化し、FeRAM の信頼性評価法を提案した。ヒステリシスの非線形性を tanh 関数で表現し、抗電圧  $V_c$  のシフトによって、インプリント後のヒステリシスループを表現した。ヒステリシスのシフトレートは、stretched exponential で表現でき、シフトレートを先のヒステリシスループの関数に取り込むことで、一定の期間データ保持を行った後のヒステリシスループが表現できることを示した。さらに、ヒステリシスがシフトして、抗電圧が小さくなったときに顕著になる「分極緩和」の効果も考慮したモデリングを行った。分極緩和は、ヒステリシスと同様の tanh 関数でよく表現でき、 $V_c$  のシフト量の関数で表されることが分かった。これらの各モデルは、全て実際の容量を用いて評価した結果をもとにフィッティングによってパラメータを決定する半経験的な手法である。したがって、強誘電体容量の特性に応じて、FeRAM の信頼性予測を正確に行うことが可能となる。

以上のモデルを用いて、データ保持時間に対して非線形に変動する  $\Delta V_B$  を予測し、センスアンプの検出限界とされる  $\Delta V_B=100 \text{mV}$  となる保持期間を調べることで、FeRAM の寿命予測が行えることを示した。PZT 容量の A サイト組成を変化させ、前述の手法を用いてインプリント寿命予測を行った。その結果、A サイト組成として Pb/La=1.00/0.03 の PLZT を用いることで、150 で 10 年以上のインプリント耐性を有することが分かった。

ここまでで得られた結果に基づき、Pb/La/Zr/Ti=1.00/0.03/0.30/0.70 の組成の PZT を用いて、FeRAM マクロチップの試作を行った。二層配線の 16kbit-FeRAM のインテグレーションを行い、その FeRAM 動作を確認した。PZT 容量は、配線工程を経ることで、強誘電性が劣化することが明らかになった。また、NMOS の駆動電流の低下や、コンタクトやビア抵抗が高抵抗化するという問題も浮き彫りになった。16kbit-FeRAM の初期的な基本動作は確認できたが、これらの素子特性の劣化は、長期的な信頼性や動作の安定性に不安が残る。今後、さらなるプロセスの改善や、材料特性の向上が望まれる。

第6章では、PZT容量の低温形成技術について述べた。これは、次世代のFeRAMセルとして期待されている、多層配線上に容量を設ける構造を目的とした実験である。まず、第4章で述べた、スパッタ+相転移アニールによるPZT形成手法における低温化の検討を行った。その結果、アニール雰囲気酸素分圧が低いほど、相転移温度が低下することが分かり、酸素分圧0の雰囲気では、490℃でペロブスカイト単相膜が得られた。ただし、この手法では、30分間程度の熱処理を施す必要があり、下層配線へのダメージが懸念される。そこで、高温に曝される時間を短縮化し、さらに低温化を促進することを目的として、スパッタプロセスの改善を行った。

相転移アニールで得られた知見をもとに、スパッタ雰囲気から酸素を排除し、Arのみでスパッタを行った結果、Pt下部電極上に、500℃でスパッタを行うことで、ペロブスカイト相単相膜が得られた。続いて、電極材料の検討を行った結果、Ir(O)を採用することで、450℃という低温でも、90%以上のペロブスカイト相含有率を示し、475℃スパッタでペロブスカイト相単相膜が得られた。このときのスパッタ時間は3分間であり、相転移熱処理に要していた時間の1割程度に抑えられる。さらに、ターゲット組成の最適化により、膜中のPb含有量の制御を行うことで、良好なヒステリシス特性と絶縁性を得ることに成功した。

最後に、0.35 $\mu$ mルールで試作したWビアを有するAl配線を形成し、その上部にPZT容量を形成した。ビア抵抗は、容量形成プロセスによって上昇することが確認されているが、本設計ルールで定められた規準値内に収まっていることから、デバイスの動作不良を引き起こすことはない。プラグ上に形成した微細容量は、良好なヒステリシス特性を示し、次世代FeRAM容量として適用可能であることが示された。

## 7.2 今後の課題

本論文の第4章および第5章で述べた、強誘電体メモリとして用いるための容量材料設計指針は、汎用的な手法であり、如何なる強誘電体材料にも適用可能である。今後、材料開発が進んで、新たな材料を含む容量が導入される場合でも、このような手法を用いて容量特性を最適化していくことで、効率よく強誘電体メモリの開発を進めていくことができる。

本論文では、上記の材料設計指針を活用し、PZT系の材料を用いた容量特性の検討と、最適化を図った。その過程で、電極材料に関しては、PtからIr系の材料へと移行し、PZT系材料に関しては、Pb過剰量やドーピング、Bサイト組成の制御を行った。このように、容量特性を改善していくに当たっては、容量膜材料や電極材料の絶え間ない改善が要求される。

現状では、材料特性や容量特性は、実験的に確認されることが多く、容量特性の改善に著しい進歩が見られているわけではない。これは、メモリ応用を目的とした強誘電体容量が、薄膜・多結晶であるため、その特性が理論的に予測し難いことが要因である。すなわち、強誘電体が本来有する特性と合わせて、配向性や電極/強誘電体界面の性質が、容量特性を左右するためである。



疲労特性や、インプリントなどの信頼性に関わる項目についても、電極材料やドーピングによって、改善されることが経験的に示されている。[1-7] しかし、そのメカニズムについて、個々の実験から散発的に予測されているに過ぎず、全ての実験結果を包括するような理論は成立していない。

最近になって、材料物性を理論的に予測することから材料設計を行い、実験によって確認するような報告も出てきている。[8-11] また、疲労特性に関しても、包括的に説明しようという動きも起こっている。[12] 今後、このような動きが活発になれば、効率の良い材料設計と信頼性の改善が図られ、強誘電体メモリの信頼性が大きく向上していくことが期待される。

強誘電体容量形成プロセスに関しては、LSI における膨大なマクロ資産の流用を考慮し、ロジックプロセスに変更を加えずに FeRAM を組み込むことが要求される。このような観点から、ロジックプロセス完了後に、強誘電体容量を形成するセル構造は、極めて有望なセル構造である。本論文において、475℃、3 分間の熱負荷による強誘電体容量の形成に成功しているが、下層に存在する配線に対するダメージが見られている。ここで見られたダメージは、本文中でも述べたように、デバイス動作上の問題が見られるレベルではない。しかし、常に大電流で駆動したり、高温下で用いたりするような過酷な用途に用いる場合の、長期的な信頼性には不安が残る。したがって、さらに熱負荷を低減するようなプロセスの構築を行っていく必要がある。本論文で、電極材料を工夫することで、プロセスの低温化が促進したことから、新たな電極材料の導入や、バッファ層の適用などによって、低温化する余地は残されている。

将来的に、さらなる微細化が進むと、DRAM と同じように、容量値を確保するために、容量を三次元化することが必要となる。スパッタ法によるカバレッジには限界があるため、CVD 法による成膜の確立が望まれる。現在、MOCVD 法による PZT の成膜に関する研究は鋭意行われており、表面反応を活用した低温プロセスも報告されている。[13-24]

以上のように、FeRAM デバイスは、材料面、プロセス面において、発展途上である。今後の、研究・開発によって、より高い信頼性と生産性を実現し、低コストかつ高パフォーマンスの不揮発性メモリとして、普及していくことが期待される。

## 参考文献

- [1] S. R. Shannigrahi and H. M. Jang, *Appl. Phys. Lett.*, **79**, 1051 (2001).
- [2] I. Stolichnov, A. Tagantsev, N. Setter, J. S. Cross, and M. Tsukuda, *Appl. Phys. Lett.*, **74**, 3552 (1999).
- [3] K. S. Liu, T. F. Tseng, and I. N. Lin, *Appl. Phys. Lett.*, **72**, 1182 (1998).
- [4] J. Lee and R. Ramesh, *Appl. Phys. Lett.*, **68**, 484 (1996).
- [5] J. Lee, R. Ramesh, V. G. Keramidas, W. L. Wallen, G. E. Pike, and J. T. Evans, Jr., *Appl. Phys. Lett.*, **66**, 1337 (1995).
- [6] T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, *Appl. Phys. Lett.*, **65**, 1522 (1994).
- [7] R. Dat, D. J. Lichtenwalner, O. Auciello, and A. I. Kingon, *Appl. Phys. Lett.*, **64**, 2673 (1994).
- [8] T. Watanabe, T. Kojima, T. Sakai, H. Funakubo, M. Osada, Y. Noguchi, and M. Miyayama, *J. Appl. Phys.*, **92**, 1518 (2002).
- [9] Y. Noguchi, H. Shimizu, T. Kudo, K. Oikawa, and T. Kamiyama, *Jpn. J. Appl. Phys.*, **40**, 5812 (2001).
- [10] H. Irie, M. Miyayama, and T. Kudo, *J. Appl. Phys.*, **90**, 4089 (2001).
- [11] H. Uchida, H. Yoshikawa, I. Okada, H. Matsuda, T. Iijima, T. Watanabe, T. Kojima, and H. Funakubo, *Appl. Phys. Lett.*, **81**, 2229 (2002).
- [12] A. K. Tagantsev, I. Stolichnov, E. L. Colla, and N. Setter, *J. Appl. Phys.*, **90**, 1387 (2001).
- [13] K. Tokita, M. Aratani, and H. Funakubo, *Appl. Phys. Lett.*, **81**, 898 (2002).
- [14] M. Aratani, T. Oikawa, T. Ozeki, and H. Funakubo, *Appl. Phys. Lett.*, **79**, 1000 (2001).
- [15] H. Fujisawa, K. Kita, M. Shimizu, and H. Niu, *Jpn. J. Appl. Phys.*, **40**, 5551 (2001).
- [16] M. Shimizu, M. Sugiyama, H. Fujisawa, T. Hamano, T. Shiosaki, and K. Matsushige, *J. Cryst. Growth*, **145**, 226 (1994).
- [17] M. Shimizu, T. Katayama, M. Sugiyama, and T. Shiosaki, *Jpn. J. Appl. Phys.*, **32**, 4074 (1993).
- [18] K. Tokita and F. Okada, *J. Appl. Phys.*, **80**, 7073 (1996).
- [19] S. Hazumi, T. Asano, M. Hattori, H. Nakashima, I. Kobayashi, and M. Okada, *Jpn. J. Appl. Phys.*, **34**, 5086 (1995).
- [20] H. Miju and Y. Ohji, *Jpn. J. Appl. Phys.*, **33**, 5243 (1995).
- [21] J. W. Kim, J. S. Shin, D. M. Wee, K. S. No, and W. J. Lee, *Jpn. J. Appl. Phys.*, **35**, 2726 (1996).
- [22] C. Schmidt and E. P. Burte, *Microelectronics Reliability*, **39**, 257 (1999).
- [23] H. S. Song, T. S. Kim, C. E. Kim, H. J. Jung, *J. Mater. Res.*, **14**, 487 (1999).

## 第 7 章 結論と今後の課題

- [24] K. Amanuma, T. Tatsumi, Y. Maejima, S. Takahashi, H. Hada, H. Okizaki, and T. Kunio, *IEDM'98 Tech. Dig.* 363 (1998).

# 本研究に関する業績

## 学術論文

- [1] **N. Inoue**, T. Matsuki, and Y. Hayashi, “A New Crystal-Orientation Control Technique for Sputtered PZT-Film Utilizing Topotaxial Transformation for FeRAM Capacitors,” *NEC Research & Development*, Vol. 40, No. 2, pp. 214-218 (1999).
- [2] **N. Inoue** and Y. Hayashi, “Effect of Imprint on Operation and Reliability of Ferroelectric Random Access Memory (FeRAM),” *IEEE Transactions on Electron Devices*, Vol. 48, No. 10, pp. 2266-2272 (2001).
- [3] **N. Inoue**, T. Takeuchi, and Y. Hayashi, “Compositional Design of Pb(Zr, Ti)O<sub>3</sub> for Highly Reliable Ferroelectric Memories,” *IEEE Transactions on Electron Devices*, Vol. 49, No. 9, pp. 1572-1579 (2002).
- [4] **N. Inoue**, T. Nakura, and Y. Hayashi, “Low Thermal-Budget Process of Sputtered-PZT Capacitor Over Multi-level Metallization,” submitted to *IEEE Transactions on Electron Devices*.
- [5] **N. Inoue** and Y. Hayashi, “Smart Fabrication Process of Ir-IrO<sub>x</sub> Top-Electrode on PZT Film for Reliable FeRAM,” submitted to *J. Electrochem. Soc.*

## 国際学会

- [1] **N. Inoue**, Y. Maejima, and Y. Hayashi, “Crystal-Orientation Controlled PZT FeRAM-Capacitors using RF Magnetron Sputtering with 12"φ Single Target,” *IEDM 1997 Technical Digest*, pp. 605-608 (1997).
- [2] N. Tanabe, S. Kobayashi, T. Miwa, K. Amanuma, H. Mori, **N. Inoue**, T. Takeuchi, S. Saitoh, Y. Hayashi, J. Yamada, H. Koike, H. Hada, and T. Kunio, “High Tolerance Operation of 1T/2C FeRAMs for the Variation of Cell Capacitors Characteristics,” *1998 Symposium on VLSI Technology, Digest of Technical Papers*, pp. 124-125 (1998).
- [3] **N. Inoue**, T. Takeuchi, Y. Hayashi, “Sputtering Process Design of PZT Capacitors for Stable FeRAM Operation,” *IEDM 1998 Technical Digest*, pp. 819-822 (1998).
- [4] **N. Inoue** and Y. Hayashi, “Effect of Thermal Data-Imprint on 2T/2C FeRAM Cell Operation,” *Extended Abstract of the 1999 SSDM*, pp. 392-393 (1999).
- [5] T. Nakura, H. Mori, **N. Inoue**, N. Ikarashi, S. Takahashi, and N. Kasai, “A Hydrogen Barrier Interlayer Dielectric with a SiO<sub>2</sub>/SiON/SiO<sub>2</sub> Stacked Film for Logic-Embedded FeRAMs,” *IEDM 1999 Technical Digest*, pp. 801-804 (1999).

- [6] K. Itoh, Y. Mochizuki, T. Tatsumi, **N. Inoue**, H. Hada, T. Hase, and Y. Miyasaka, "Characterization of Ferroelectric Domain Behavior in MOCVD-PZT Capacitors for CMVP FeRAMs," *Extended Abstract of the 2000 SSDM*, pp. 262-263 (2000).
- [7] K. Itoh, Y. Mochizuki, T. Tatsumi, T. Hase, H. Hada, **N. Inoue**, Y. Hayashi, and Y. Miyasaka, "Two Types of Local Degradations in Fatigued PZT Capacitors for FeRAMs," *MRS 2000 Fall Meeting*, CC1.3 (2000).
- [8] **N. Inoue**, T. Nakura, and Y. Hayashi, "Low thermal-budget fabrication of sputtered-PZT capacitor on multilevel interconnects for embedded FeRAM," *IEDM 2000 Technical Digest*, pp. 797-800 (2000).

## 国内学会・研究会（主著のみ）

- [1] **井上尚也**、前島幸彦、林喜宏、「結晶配向を制御した RF スパッタ PZT 薄膜の成膜」、1997 年秋季第 58 回 応用物理学会学術講演会（1997）。
- [2] **井上尚也**、林喜宏、「FeRAM 動作マージンを考慮したスパッタ PZT 薄膜の組成制御」、1998 年秋季第 59 回 応用物理学会学術講演会（1998）。
- [3] **井上尚也**、林喜宏、「FeRAM 容量用 Ir 系上部電極スパッタプロセスの制御」、1999 年 春季 第 46 回 応用物理学関係連合講演会（1999）。
- [4] **井上尚也**、竹内常雄、林喜宏、「FeRAM 安定動作のための PZT および容量上部電極スパッタプロセスの制御」、応用物理学会 シリコンテクノロジー分科会 第 10 回 研究集会（1999）。
- [5] **井上尚也**、林喜宏、「多層配線上への混載 FeRAM 用スパッタ PZT 容量の形成」、2001 年 秋季第 62 回 応用物理学会学術講演会（2001）。
- [6] **井上尚也**、林喜宏、「分極緩和を考慮した FeRAM 非線形信頼性予測モデル」、電子情報通信学会、信学技報、SDM2001-263 (2002)。